

課題番号 : F-16-TU-0050
利用形態 : 機器利用
利用課題名(日本語) : プラズマ CVD を用いた絶縁膜形成
Program Title (English) : The dielectric film formed by plasma-enhanced CVD
利用者名(日本語) : 今泉文伸
Username (English) : F. Imaizumi
所属名(日本語) : 東北大学 未来科学技術共同研究センター
Affiliation (English) : New Industry Creation Hatchery Center, Tohoku University

1. 概要(Summary)

電子デバイスの分野で特に、薄膜デバイスにおいて、 400°C 以下の成膜温度で形成された絶縁膜が広く使われている。主に配線間の層間絶縁膜や表面の保護膜として使用されることが多い。さらに高品質な絶縁膜は TFT(Thin Film Transistor)のゲート絶縁膜としても使用されていることが多い。本研究では、様々なプラズマ CVD 装置を用いて絶縁膜を形成し、その評価を行った。

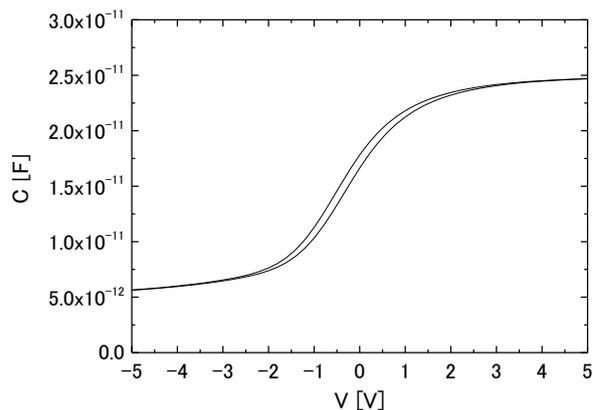


Fig.1 CV Curve

2. 実験(Experimental)

【利用した主な装置】

住友精密 PECVD 装置

【実験方法】

n 型(Cz)Si ウェハ上に、プラズマ CVD 装置を用いて、絶縁膜を形成した。使用したプロセスガスは $\text{Ar}/\text{O}_2/\text{SiH}_4=110/28/0.2\text{sccm}$ 、圧力 106Pa 、成膜装置のステージ温度は 300°C に設定した。成膜時間は 16 分で 95.6nm の SiO_2 を形成した。その後蒸着法を用いて Al を成膜し、リソグラフィとウェットエッチングを行い、ゲート電極を形成した。また、ウェハの裏面には Al 電極を形成した。その後、CV 特性と JV 特性を測定した。

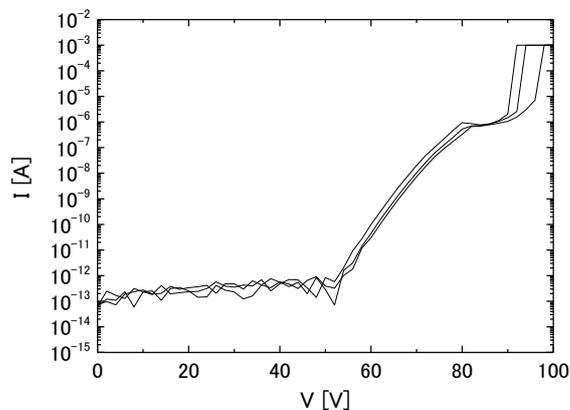


Fig.2 IV Curve

3. 結果と考察(Results and Discussion)

図 1 に CV 特性を示す。電極面積は $7.0 \times 10^{-4}\text{cm}^2$ で、ヒステリシス幅は 0.2V である。プラズマ CVD で形成された絶縁膜であるが、小さいヒステリシスを実現することができた。また、図 2 に IV 特性を示す。測定した電極面積は $7.9 \times 10^{-3}\text{cm}^2$ であり。測定数は 3 点である。非常に低いリーク電流を実現できていることが分かった。これらの特性から、良好な絶縁膜が Si 上に形成できていることが分かった。

今後、本実験で開発された絶縁膜は、薄膜デバイス等に応用することが可能である。

4. その他・特記事項(Others)

なし

5. 論文・学会発表(Publication/Presentation)

(1) なし

6. 関連特許(Patent)

(1) なし