

課題番号 : F-16-TU-0026
支援課題名 (日本語) : 三次元 LSI の試作研究開発
Research Title (in English) : Research and Development of 3D LSI
利用者名 (日本語) : 福島誉史, 小柳光正, 李 康旭, 中村愛, 相沢宏行
Username (in English) : T. Fukushima, M. Koyanagi, K.-W, Lee, A. Nakamura, H. Aizawa
所属名 (日本語) : 東北大学 未来科学技術共同研究センター
Affiliation (in English) : Tohoku University, New Industry Creation Hatchery Center

1. 概要 (Summary)

次世代集積回路として期待されている三次元積層型集積回路のバンプレス高密度電極接続の評価のためのチップを試作した。電極ピッチ 4-10 μm , 電極サイズ 2-5 μm , CMP 処理した狭ピッチ Cu 電極を有するチップを作製し、デバイスチップの電気的な特性を評価することに成功した。

2. 実験 (Experimental)

【利用した主な装置】

Dektak 段差計 (Dektak/8), Tencor 段差計 (Tencor/AlphaStep500), 芝浦スパッタ(芝浦メカトロニクス, CFS-4ESII), プラズマクリーナー, アネルバ RIE (アネルバ, DEA-506), デジタル顕微鏡(キーエンス, クノーテックノクラフト)

【実験方法】

芝浦スパッタを用いて電解めっきのシード層形成を行い、めっき液の濡れ性向上の目的でプラズマクリーナーにて O_2 プラズマ処理を行った。表面段差測定装置 (Dektak8) を用いて、CMP した Cu 電極のディッシングの深さ、および後退させた周囲の SiO_2 領域の深さを測定した。デバイスチップはフリップチップ接合により Si インターポーザーに実装した。

3. 結果と考察 (Results and Discussion)

電解めっきにより狭ピッチ Cu 電極を堆積後、プラズマ CVD により SiO_2 膜を堆積し、CMP によって平坦化した。この CMP によって平坦化された Cu とその後のエッチングにより後退させた SiO_2 の深さを表面段差測定装置 (Dektak8) によって測定した。その結果、CMP 後の Cu ディッシングは非常に低く制御することがで

き、後退後の SiO_2 の深さは 100-300 nm に制御できるとが分かった。この上に、直径 60 nm, ピッチ 100 nm の Cu ナノピラーアレイを含むフィルムをラミネートし、狭ピッチ電極を有する狭ピッチの Cu 電極を有する上下のチップを接合した。Cu ナノピラーを挿入することにより、従来の Cu-Cu/ SiO_2 - SiO_2 ハイブリッド接合よりも高い歩留りで狭ピッチの Cu-Cu 電極を電氣的に導通させることに成功した。Cu ナノピラーのアレイを用いたことにより、I-V 特性から低い抵抗を実現でき、また、C-V 特性からも十分に低いキャパシタンスを実現できる可能性を示すことができた。

4. その他・特記事項 (Others)

2013年9月に宮城県多賀城市のみやぎ復興パークに開設した三次元スーパーチップLSI試作製造拠点(GINTI: Global INTegration Initiative)にて、300mm ウエハを用いた chip-to-wafer 接合方式で、実用化に向けて引き続き継続研究を実施している。

5. 論文・学会発表 (Publication/Presentation)

- (1) Novel W2W/C2W Hybrid Bonding Technology with High Stacking Yield Using Ultra-Fine, Ultra-High Density Cu Nano-Pillar (CNP) for Exascale 2.5D/3D Integration
Proceedings of the 66th Electronic Components and Technology Conference (ECTC), (2016), 350-355
Kangwook Lee, Chisato Nagai, Jichel Bea, Takafumi Fukushima, Tetsu Tanaka, and Mitsumasa Koyanagi, Suresh Ramalingam and Xin Wu
- (2) Nano-scale Cu direct bonding using ultra-high density Cu nano-pillar (CNP) for high yield exascale 2.5D/3D integration applications
Proceedings of IEEE 3D System Integration Conference 2016 (IEEE 3DIC 2016)
Kangwook. Lee, Ai Nakamura, Jicheol Bea, Takafumi Fukushima, Suresh Ramalingam, Xin Wu, Tanaka Tanaka, and Mitsumasa Koyanagi

6. 関連特許 (Patent)

特に無し