

課題番号 : F-16-TT-0032  
利用形態 : 技術代行  
利用課題名(日本語) : 界面特性評価用テストデバイスの作製プロセスの検討  
Program Title (English) : Fabrication of test-element-group devices for Si-MOS contact stacks  
利用者名(日本語) : 磯貝 勇樹, 神岡 武文  
Username (English) : Y. Isogai, T. Kamioka  
所属名(日本語) : 豊田工業大学 工学部 先端工学基礎学科  
Affiliation (English) : Department of Advanced Science and Technology, Toyota Technological Institute

## 1. 概要(Summary)

太陽電池などの少数キャリアデバイスにおいては、シリコン(Si)表面における少数キャリアの再結合特性が、そのデバイス性能を決める。太陽電池の高効率化のためには、この表面再結合損失の低減が必要であり、シリコン窒化膜(SiN<sub>x</sub>)などの絶縁膜が Si 表面のパッシベーション膜として用いられている。この Si/パッシベーション膜界面における再結合の多寡は、界面における欠陥密度、および、キャリア濃度などにより決まる。したがって、再結合のメカニズムを理解することは、界面における再結合を制御する上で極めて重要である。

本研究では、この Si/パッシベーション膜界面における欠陥評価のためのテストデバイスを作製することを目的とした。具体的には、界面欠陥評価によく用いられる容量-電圧(capacitance-voltage; C-V)測定のためのデバイス、および、トランジスタ構造のデバイスなど、複数のテストグループを作製する。本年度はまず、多種多様な太陽電池の材料・プロセスに柔軟に対応するためのデバイス設計、および、試作プロセスを進めた。必要となる微細加工は、豊田工業大学、クリーンルーム施設の設備を利用した。

## 2. 実験(Experimental)

### 【利用した主な装置】

イオン打ち込み装置、シリコン専用の各種熱処理(酸化、拡散)装置一式、洗浄ドラフト一式、電子ビーム(金属)蒸着装置、マスクアライナ装置

### 【実験方法】

アルミニウム(Al)をゲート材料として用いたトランジスタ構造デバイスの作製プロセス概要は以下の通りである。3インチ、p型あるいはn型のSi(100)基板を用いて、犠牲酸化膜を形成後、ソース・ドレイン領域のパターニング

のちイオン注入を行った。その後、熱酸化膜を全面に形成させ、ゲート領域をパターニングした。その後、電極材料を成膜した。今回は試作プロセスの検討のため、ゲート、および、ソース・ドレイン電極にAlを用いた。これらMOSトランジスタデバイスと併せて、サイズの異なるMOSドット群も作製した。

## 3. 結果と考察(Results and Discussion)

作製したテストデバイスグループの写真を Fig. 1 に示す。サイズの異なるMOSドット群(写真右上領域)、トランジスタデバイス群(写真下領域)、および、大きな薄膜評価用の領域(写真左上領域)など、多数のデバイスが作製されている。

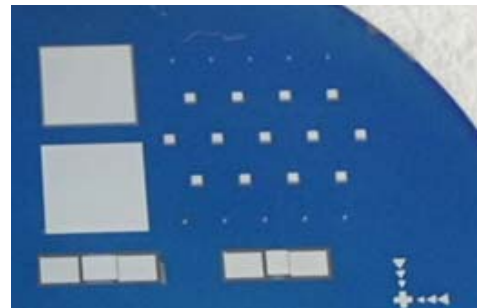


Fig. 1 Fabricated Al-gate MOS TEGs on the three-inch Si wafer.

### 謝辞(Others)

豊田工業大学、ナノテク支援プラットフォーム、梶原 建 支援員に感謝いたします。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。