

課題番号 : F-16-TT-0026  
 利用形態 : 機器利用  
 利用課題名(日本語) : 二次元物質をチャンネルとした強誘電体ゲート電界効果トランジスタの創出  
 Program Title (English) : Preparation of ferroelectric gate FET with two-dimensional material  
 利用者名(日本語) : 渡邊貞宗, 川江 健  
 Username (English) : S. Watanabe, T. Kawae  
 所属名(日本語) : 金沢大学大学院自然科学研究科  
 Affiliation (English) : Graduate School of Natural Science and Technology, Kanazawa University

### 1. 概要(Summary)

次世代半導体として期待される二次元物質 MoS<sub>2</sub>によるデバイス応用として、強誘電体メモリ(不揮発メモリ)に着目し、その研究開発を実施した。本研究において、NTPFの技術支援として高精度マスクアライナを利用し、面内寸法が6~8 μmのMoS<sub>2</sub>に対して微細な電極構造を形成した。作製された1Tr型強誘電体メモリ構造は理想的なFET特性および不揮発メモリ動作を示す事が確認された。

### 2. 実験(Experimental)

#### 【利用した主な装置】

マスクアライナ装置

#### 【実験方法】

Si基板上に剥離転写したマイクロサイズのMoS<sub>2</sub>薄帯に対し、高精度マスクアライナ装置を用いてチャンネル幅5 μmのソース・ドレイン電極レジストパターンを形成した。同レジストパターンを利用してNi電極を形成した後、ゲート絶縁膜として強誘電体VDF-TrFEを化学溶液堆積法でMoS<sub>2</sub>チャンネル上に直接堆積した。最後にゲート電極レジストパターンをフォトリソ形成し、Ptゲート電極をリフトオフ法により作製した。

### 3. 結果と考察(Results and Discussion)

作製されたトップゲート型FET構造のI<sub>ds</sub>-V<sub>ds</sub>特性をFig. 1に記す。作製された試料は典型的なn型チャンネルのFET特性を示し、I<sub>ds</sub>に対するゲート電圧印可による電流on/off比は10<sup>6</sup>であった。Fig. 2に試料のI<sub>ds</sub>-V<sub>g</sub>特性を記す。I<sub>ds</sub>はV<sub>g</sub>に対して反時計回りのヒステリシスを描く振る舞いを示した。これはVDF-TrFEゲートの強誘電性に基づくものであり、作製された試料が強誘電体ゲートFETとして機能している事が実証された。また、V<sub>g</sub>=0Vにて、I<sub>ds</sub>が電流オフとオンの2状態を示している。V<sub>g</sub>=0VにおけるI<sub>ds</sub>の電流on/off比は10<sup>5</sup>であり、デバイスが2値の不揮発メモリとして動作している事が分かる。

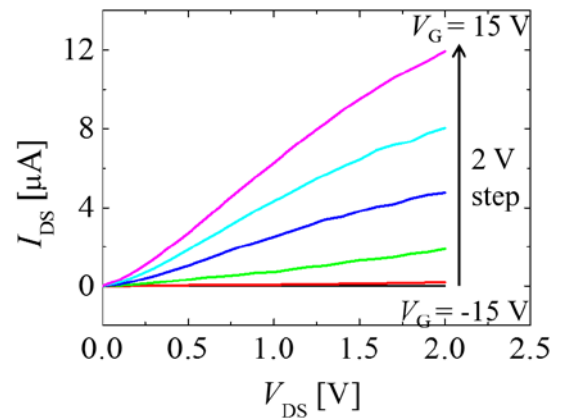


Fig. 1. I<sub>ds</sub>-V<sub>ds</sub> property of prepared MoS<sub>2</sub> FET

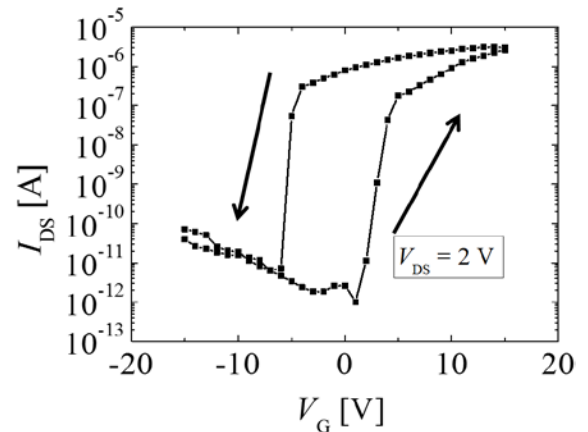


Fig. 2. I<sub>ds</sub>-V<sub>g</sub> property of prepared MoS<sub>2</sub> FET

### 4. その他・特記事項(Others)

・共同研究者: 中嶋宇史(東京理科大)

### 5. 論文・学会発表(Publication/Presentation)

- (1) S Watanabe *et al*, Korea-Japan Conference on Ferroelectricity (KJCFE11), 平成 28 年 8 月 8 日.
- (2) 渡邊貞宗 他, 第 77 回 応用物理学会秋季学術講演会, 平成 28 年 9 月 13 日.
- (3) 渡邊貞宗 他, 平成 28 年度 応用物理学会北陸・信越支部学術講演会, 平成 28 年 12 月 10 日.
- (4) 渡邊貞宗 他, 強的秩序とその操作に関わる研究グループ 第4回研究会, 平成 29 年 1 月 4 日.

### 6. 関連特許(Patent)

なし