

課題番号 : F-16-RO-0005
 利用形態 : 技術代行
 利用課題名(日本語) : 3次元パワーSoC(Supply on Chip)用積層基板構成技術の研究
 Program Title (English) : Investigation of a 3D stacking substrate for 3D power supply on chip
 利用者名(日本語) : 池田裕帆¹⁾, 松本聡²⁾
 Username (English) : Y. Ikeda¹⁾, S. Matsumoto²⁾
 所属名(日本語) : 1)九州工業大学大学院工学府電気電子工学専攻, 2)九州工業大学大学院工学研究院
 Affiliation (English) : 1) 2) Graduate School of Kyushu Institute of Technology

1. 概要(Summary)

電源の研究トレンドは小型化(高パワー密度化)であり [1]、電源の究極の小型化が実現できる power supply on chip(power-SoC)[2] が注目を集めている。Power-SoC 用のパワーデバイスとして高周波スイッチング特性に優れた GaN パワーデバイスへの期待が大きい [3,4]、負荷である MCU(Micro Controller Unit)等の LSI は Si デバイスであり、Si デバイスと GaN パワーデバイスを積層した 3次元パワーSoC (図 1) を我々の研究グループは提案し[5]、その要素技術の研究を進めている [6,7]。本研究では、3次元 power-SoC に用いるパッシブ部品の一つであるキャパシタを取り上げ、その製造技術の検討を行った。その結果、パワーSoC 用のトレンチキャパシタの製造技術確立に対して見通し得るとともに、製造上の課題を明らかにした。

2. 実験(Experimental)

【利用した主な装置】

リン拡散炉

【実験方法】

トレンチ形成は福岡県の 3次元半導体研究センター、トレンチ内部に埋め込んだ poly-Si へのリン拡散は広島大学ナノデバイス・バイオ融合科学研究所、その他のプロセスは北九州学術推進機構の共同開発センターのクリーンルームで試作を行った。トレンチ形成工程までをステッパー、以降はコンタクトアライナーを用いた。Si 基板は 8 インチ基板でスタートし、最終的には 24mm x 24mm 角のチップで試作を終了した。

3. 結果と考察(Results and Discussion)

図1に解析式を求めるために用いたトレンチキャパシタの模式図、図2に解析式により算出した Equivalent Series Resistance (ESR)とキャパシタンスの関係を示す。

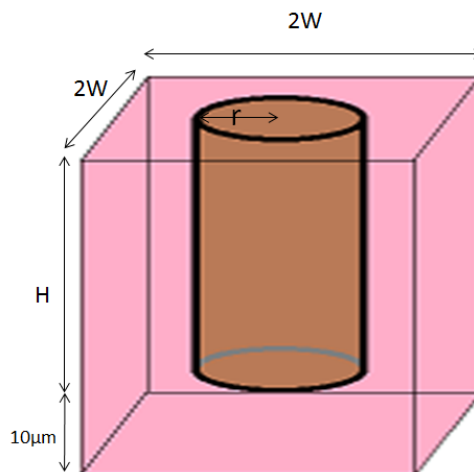


Fig.1 Schematic diagram of the calculated trench capacitor.

キャパシタの容量と ESR は以下の式により算出した。

$$C = \epsilon_0 \epsilon_{SiO_2} \frac{S}{d} \frac{1}{4W^2} \quad (1)$$

$$s = 2\pi r H + \pi r^2 \quad (2)$$

$$R = \left(\rho \frac{H}{\pi r^2} + \rho_{Si} \frac{1 \times 10^{-3}}{4W^2} \right) \frac{1}{4W^2} \quad (3)$$

ここで C は容量、 ϵ_0 は真空の誘電率、 ϵ_{SiO_2} は酸化膜の誘電率、 ρ は poly-Si の抵抗率、 ρ_{Si} は Si 基板の抵抗率、R は 1mm² 当たりの抵抗である。

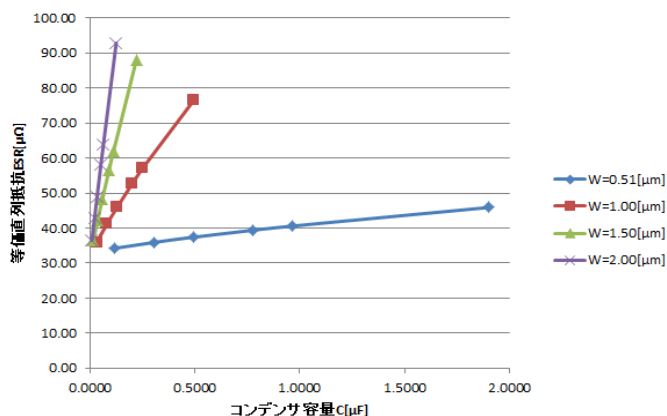


Fig.2 Dependence of ESR on capacitance.

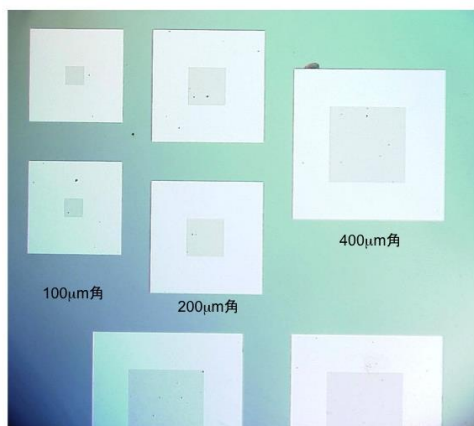


Fig. 3 Top view of the fabricated trench capacitor.

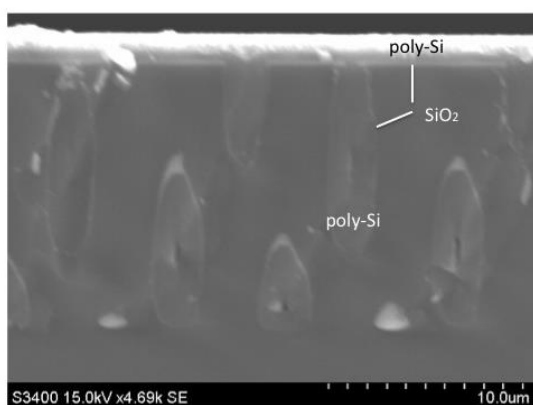


Fig. 4 SEM photograph.

キャパシタの容量の増加とともに ESR は増加するが、 $\mu\Omega$ レベルであり、低 ESR である。

図 3 に試作したキャパシタのチップ写真、図 4 に断面の SEM 写真を示す。一部に“す”の発生はあるもの、トレンチ内部に poly-Si を埋め込むことができた。

図 5 に試作したキャパシタの I-V 特性を示す。酸化膜厚は 2nm、キャパシタのサイズは 400 μm 角である。リーク電流は 10nA/mm² であり、耐圧は 7-8V 程度であった。耐圧は目標値の 50%程度であり、トレンチ底部の形状や参加条件の最適化が必要である。

4. その他・特記事項 (Others)

本研究の一部は”戦略的省エネルギー技術革新プログラム/省エネルギー技術開発事業の重要技術に係る周辺技術・関連課題の検討”の助成により行われたものである。

他のプラットフォーム利用機関：北九州産業学術推進機構 課題番号：F-16-FA-0004

5. 参考文献 (References)

[1] J.W. Kolar, U. Drogenik, J. Biela, M. L. Heldwein, H. Ertl, T. Friedli, S. D. Round, “PWM converter power

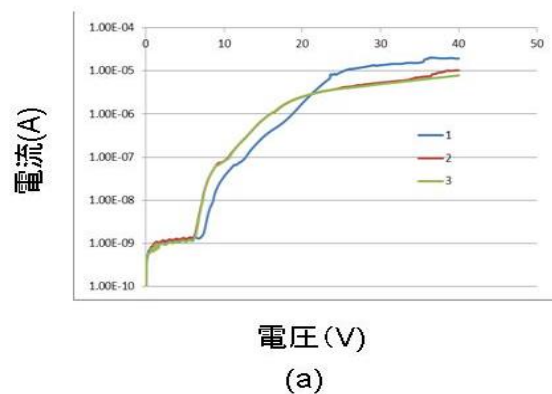


Fig.5 Dependence of leakage current on applied voltage.

Barriers”, PCC Nagoya, pp.9-29, 2007.

[2] 例えば <http://pwrsocevents.com>

[3] D. Reusch, D. Gilham, Y. Su, and F. C. Lee, “Gallium Nitride based 3D integrated non isolated point of load” Proc. IEEE APEC 2012, p.38-45, 2012.

[4] A. Lidow, J. Strydom, M. Rooij, and D. Reusch, *GaN Transistors for Efficient Power Conversion*, (Wiley, New York, 2014) 2nd ed.

[5] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, “Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter”, Ext. Abs. of 2016 SSDM, PS-14-03, 2016.

[6] K. Nakagawa, T. Kodama, S. Matsumoto, T. Yamada, M. Hasegawa, and S. Nishizawa, “Impact of silicon on diamond structure for power-supply on chip applications”, JJAP, vol.53, No.4, 04EP16, 2014.

[7] S. Duangchan, U. Uchikawa, U. Koshikawa, A. baba, K. Nakagawa, S. Matsumoto, M. Hasagawa, and S. Nishizawa, “The Silicon on Diamond Structure by low temperature bonding technique”, Proceedings of ECTC2015, pp.187-192, 2015.

6. 論文・学会発表 (Publication/Presentation)

(1) K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, “Impact of the 3D Stacking Power Supply on Chip for High Frequency DC-DC Converter”, SSDM2016, PS-14-03, September 28, 2016.

7. 関連特許 (Patent)

なし