

課題番号 : F-16-RO-0001
 利用形態 : 技術代行
 利用課題名(日本語) : ガラス基板上の4端子低温 poly-Si TFT CMOS インバータの開発
 Program Title (English) : CMOS Inverter Using Four-Terminal Low-Temperature Poly-Si TFTs on Glass Substrate
 利用者名(日本語) : 大澤弘樹¹⁾, 原明人¹⁾
 Username (English) : H.Ohsawa¹⁾, A.Hara¹⁾
 所属名(日本語) : 1) 東北学院大学大学院工学研究科
 Affiliation (English) : 1) Tohoku Gakuin University

1. 概要(Summary)

自己整合四端子(4T)平面型メタルダブルゲート低温 poly-Si TFT から成る CMOS インバータをガラス上に作製した。制御電極を用いて TFT の V_{th} を制御することによって、 $V_{dd} = 1.0$ V で良好な CMOS インバータの特性が得られた。

2. 実験(Experimental)

【利用した主な装置】

イオン注入装置

【実験方法】

CMOS インバータは隣接する n-ch と p-ch の 4T poly-Si TFT から作製されており、CMOS プロセスは過去の個別 4T TFT のプロセス¹⁾とほぼ同様である。ゲート長は n-ch と p-ch TFT 共に 5 μm である。ゲート幅は n-ch TFT が 5 μm 、p-ch TFT が 15 μm である。チャンネル poly-Si は、CLC 法により作製された。ゲート絶縁膜は、プラズマ CVD によって成長された SiO_2 を用いており、その膜厚は TG が 50 nm、BG が 150 nm である。ソース・ドレイン領域は n-ch と p-ch TFT に対し、それぞれリンあるいは BF_2 のイオン注入を利用して作製された。図 1(a)は CMOS インバータの回路図を示している。TFT の BG を制御ゲートとして利用しており、n-ch TFT の制御電圧を V_{CGn} 、p-ch TFT の制御電圧を V_{CGp} で表現している。この回路を用いて CMOS インバータの特性を測定した。

3. 結果と考察(Results and Discussion)

図 1(b)は CMOS インバータを構成する n-ch と p-ch TFT のトランスファ特性を示している。制御電圧が $V_{CGn} = V_{CGp} = 0$ V のとき、n-ch と p-ch の V_{th} は -3.5 V 付近にあるが(図中記述なし)、制御電圧が $V_{CGn} = -9.5$ V、 $V_{CGp} = -7.6$ V のとき、n-ch と p-ch の V_{th} は 0 V 付近にあることが確認できる。すなわち、負の制御電圧によ

って n-ch と p-ch TFT の V_{th} を 0 V 付近に制御することが可能である。図 1(c) は制御電圧が $V_{CGn} = -9.5$ V、 $V_{CGp} = -7.6$ V のときの CMOS インバータの特性を示している。電源電圧は $V_{dd} = 1.0$ V である。この CMOS インバータの特性は high から low への遷移が 0.5V で起こる良好な特性である。

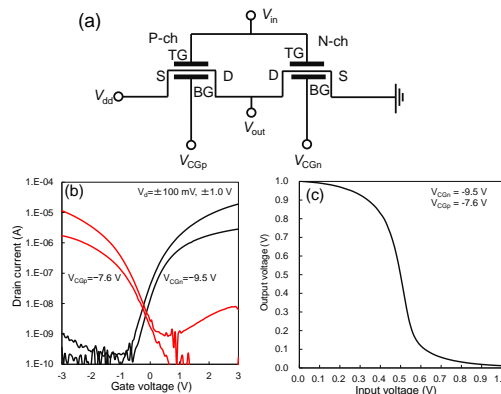


Fig. 1 (a) Circuit diagram. (b) Transfer characteristics of TFT. (c) Characteristics of CMOS inverter.

4. その他・特記事項(Others)

・参考文献

(1) H. Ohsawa, S. Sasaki and A. Hara, Jpn. J. Appl. Phys., 55, 03CC01 (2016).

・科学研究費基盤 (C)25420339, (C)16K06311

5. 論文・学会発表(Publication/Presentation)

(1) 大澤 弘樹, 原 明人, 2016年 応用物理学会東北支部第71回学術講演会, 1aA04

(2) 大澤 弘樹, 原 明人, 2016年 12月 シリコン材料・デバイス研究会(SDM), SDM2016-100, p. 45.

(3) 大澤 弘樹, 原 明人, 2017年 3月 第64回応用物理学会春季学術講演会, 14a-304-5.

6. 関連特許(Patent)

なし