

課題番号 : F-16-OS-0018  
利用形態 : 機器利用  
利用課題名 (日本語) : Si 基板の平滑エッチング技術検討  
Program Title (English) : Study of flat etching technique of Si substrate  
利用者名 (日本語) : 種子田 賢宏, 上村 重明  
Username (English) : T. Taneda, S. Uemura  
所属名 (日本語) : 住友電気工業株式会社  
Affiliation (English) : Sumitomo Electric Industries, Ltd.

## 1. 概要 (Summary)

当社では半導体デバイスプロセス技術を応用して、nm オーダーで制御された微細構造の形成技術の開発を進めている。その一環として、本研究では Si 基板の高速エッチングに取り組んだ。

## 2. 実験 (Experimental)

### 【利用した主な装置】

深掘りエッチング装置 サムコ “RIE-400iPB-NP”  
接触式膜厚測定器 BRUKER “DektakXT”

### 【実験方法】

深掘りエッチング装置に導入するサンプルを Fig. 1 に示す。Si 基板(厚さ 500  $\mu\text{m}$ )の片面に SiO<sub>2</sub> 膜(厚さ 50 nm)を製膜したサンプルを予め作製した。なお、作製には京大ナノハブ拠点のプラズマ CVD 装置(住友精密工業、MPX-MACS CVD 装置)を利用させていただいた。

SiO<sub>2</sub> 膜のない Si 基板側からエッチングするために 5 mm  $\times$  5 mm の開口をカプトンテープで作製し、深掘りエッチング装置に導入した。なお、エッチングレートに影響が大きい試料冷却はダミー Si ウエハにフロンブリンオイルを滴下した後試料を設置し、余剰分をふき取る方式で均質化を図った。

また、エッチングレシピは技術指導いただいた近田様より提供いただいたものを用いた。

エッチング深さについては接触式膜厚測定器で段差測定を行って求めた。

## 3. 結果と考察 (Results and Discussion)

荒彫り条件のエッチングレートは装置使用日初回のエッチングでは 1.82  $\mu\text{m}/\text{cycle}$  程度が得られたが、1 日に複数回処理するとレートが低下し、設定 cycle 数によるエッチング深さ制御が困難であることが分かった。チャンバー内部の汚れ等の状態によりレート

が変化すると推測されるが、装置所定のクリーニングレシピでは回復しなかった。また、マイクロマスクによる針状の未エッチング Si が発生したため、KOH によるウェットエッチングとの併用を検討した。

深掘りエッチングにて 150~200 cycle 程度エッチングした後、残りの Si をウェットエッチングにより除去することができたが、SiO<sub>2</sub> が不均一にエッチングされる課題が残った。今後、KOH にエッチングされにくい SiO<sub>2</sub> の成膜方法や膜厚、深掘りエッチングによる開口部の最適形状・面積の検討等が必要である。

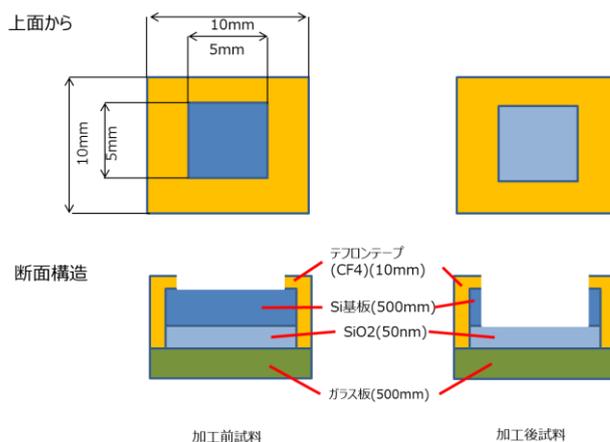


Fig. 1 Image of sample structure (Left: before etching, Right: after etching)

## 4. その他・特記事項 (Others)

### RIE: Reactive Ion Etching

技術相談時から利用実験時の条件出しまで、法澤様、近田様に多大なご指導をいただきましたことに感謝いたします。

関連する課題番号 ; F-16-KT-0147、S-16-OS-0015

## 5. 論文・学会発表 (Publication/Presentation)

なし。

## 6. 関連特許 (Patent)

なし。