

課題番号 : F-16-NU-0104  
利用形態 : 共同研究  
利用課題名(日本語) : 半導体のプロセス技術検討  
Program Title (English) : Study of the process technology about the semiconductor  
利用者名(日本語) : 武田恭英, 大野 真, 高里明洋  
Username (English) : Y.Takeda, M.Ohno, A.Takazato  
所属名(日本語) : 株式会社ジェイテクト  
Affiliation (English) : JTEKT, Co. Ltd.

## 1. 概要(Summary)

FET向け半導体基板を用いて, FETの作製, 評価を行った.

## 2. 実験(Experimental)

### 【利用した主な装置】

ICP エッチング装置

### 【実験方法】

下記手順で FET を作製した.

#### (1)前処理

基板切断, 洗浄

#### (2)フォトリソ

レジスト塗布, プリベーク, 露光, ポストベーク,  
全面露光, 現像, 検査

#### (3)EB 蒸着

ダミー金属蒸着, 検査

#### (4)ICP エッチング

塩素エッチング

#### (5) 後工程

ダミー金属除去

#### (6)フォトリソ

レジスト塗布, プリベーク, 露光, ポストベーク,  
全面露光, 現像, 検査

#### (7)EB 蒸着

ソース, ドレイン電極蒸着

#### (8)アニール

#### (9)フォトリソ

レジスト塗布, プリベーク, 露光, ポストベーク,  
全面露光, 現像, 検査

#### (10)EB 蒸着

ゲート電極蒸着

## 3. 結果と考察(Results and Discussion)

作製した FET を Fig.1 に示す. 上下にある電極がソースドレインであり, 左右にある電極がゲート電極となっ

ている. ICP エッチングにより, 素子分離ができており, 電極が正常に作製できていることが確認できる.

Fig.2 に作製した FET の, I-V 特性を示す. ゲート電圧を変えた場合の  $V_d$ - $I_d$  特性を示しており, 線形領域から飽和領域まで, 一般的な FET の特性となっていることが確認できる.

以上より, 今回作製した FET の作製プロセスに問題が無いことが確認できた.

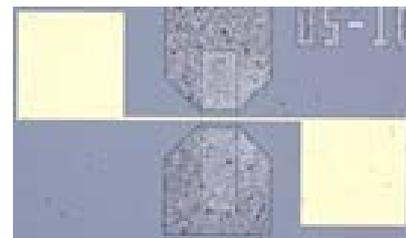


Fig.1 FET Device.

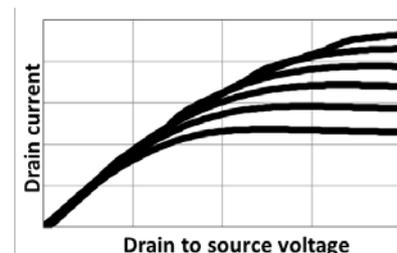


Fig.2 I-V Curve.

## 4. その他・特記事項(Others)

・共同研究者:

名古屋大学 未来材料・システム研究所 本田善央  
准教授

## 5. 論文・学会発表(Publication/Presentation)

なし.

## 6. 関連特許(Patent)

なし.