

課題番号 : F-16-NM-0045
 利用形態 : 機器利用
 利用課題名(日本語) : サラウンディングゲートトランジスタの試作
 Program Title (English) : Experimental Production of Surrounding Gate Transistor
 利用者名(日本語) : 谷村 龍彦
 Username (English) : Tatsuhiko Tanimura
 所属名(日本語) : 東京エレクトロン株式会社
 Affiliation (English) : Tokyo Electron Limited

1. 概要(Summary)

プロセス評価を行うにあたっては、その用途に適した評価素子を用いることが必要である。微細化の進展とともにトランジスタの構造も平面型からフィン型へ変化しており、将来的にはサラウンディングゲート型になることが有力視されている。そこで、そのような構造をもつ評価素子を試作し、プロセス評価の行える環境を整えることを目指した。

2. 実験(Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ 125kV 電子ビーム描画装置
- ・ 原子層堆積装置
- ・ プラズマ CVD 装置
- ・ 多目的ドライエッチング装置
- ・ シリコン深堀エッチング装置
- ・ ウェハ RTA 装置
- ・ 走査電子顕微鏡

【実験方法】

評価素子は、SOI・GOI 基板を利用して作成した。SOI 基板は、チャンネルとなるワイヤの形成までを 300mm ウェハで処理したために NIMS 微細加工 PF(NIMS-PF) 外で行い、その後 20mm 口のチップに切り出した。GOI は最初からチップにて NIMS-PF 内で加工した。ワイヤ形成以降は、ゲート電極成膜、S/D 形成のためのイオン注入、コンタクト・配線メタル成膜のみ NIMS-PF 外で行い、それ以外のプロセスは NIMS-PF 内で行った。

3. 結果と考察 (Results and Discussion)

Fig. 1 に SOI および GOI 基板より作成した Si・Ge ワイヤを有するサラウンディングゲートトランジスタのドレイン電流(I_d)-ゲート電圧(V_g)特性を示す。Si は急峻なスイッチング特性を示すが、Ge はオフリーク電流が大きくドレ

イン電流の変化もゆるやかである。Ge トランジスタをプロセス評価に活用するためには、さらなる作成プロセス条件の最適化が必要である。

Fig. 2 に Si トランジスタの閾値電圧(V_{th})およびサブスレッショルドスロープ(SS)のゲート長(L_g)、ワイヤ幅(W_{nw})依存性を示す。短チャンネル効果による V_{th} の減少および SS の増大が、 W_{nw} の縮小により抑制できていることが分かる。

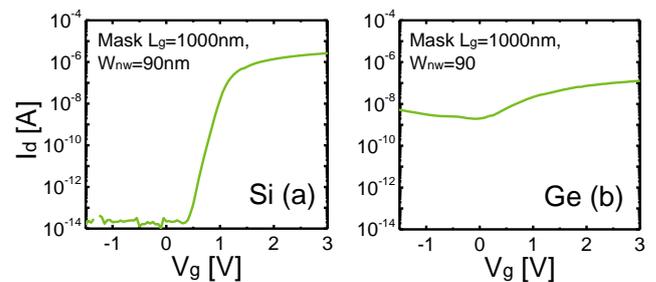


Fig. 1 I_d - V_g characteristics for (a) Si and (b) Ge surrounding gate transistor

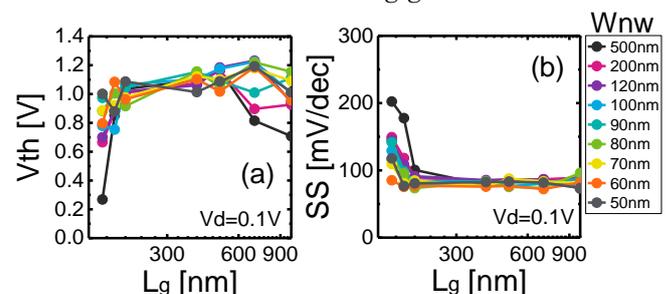


Fig. 2 (a) V_{th} and (b) SS depending on L_g and W_{nw}

4. その他・特記事項(Others)

本課題を実施するに当たり、NIMS 微細加工 PF の大里啓孝様にご協力いただきました。ここに感謝の意を表します。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。