

利用課題番号 : F-16-KT-0166
 利用形態 : 機器利用
 利用課題名 (日本語) : 電子線描画装置アドバンストコース (CUPAL)
 Program Title (English) : Electron beam lithography Advanced course (CUPAL)
 利用者名 (日本語) : Amit Banerjee、Zhipeng Ma
 Username (English) : Amit Banerjee、Zhipeng Ma
 所属名 (日本語) : 京都大学 工学研究科
 Affiliation (English) : Graduate School of Eng., Univ. of Kyoto

1. 概要 (Summary) :

ナノテクキャリアアップアライアンスの平成 28 年度電子線描画装置アドバンストコースの実習を、3 月 16 日(木)~17 日(金) にわたり、ナノテクノロジーハブ拠点の電子線描画装置 (F7000S-KYT01) を利用し、技術職員の指導の下実施した。このコースの目的は、微細加工の中級者を対象に、シリコンウエハへ高度な描画 (例えば、多層レジストや重ね合わせ描画等) を主体に、より複雑なデバイス加工に対応した微細加工のための基本技術の習得である。

2. 実験 (Experimental) :

＜3 層レジストを用いた T-Gate 電極作製＞

1) 使用装置

ウェハースピン洗浄装置・真空蒸着装置・大面積超高精度電子線描画装置・超高分解能電界放出形走査電子顕微鏡 (FE-SEM)

2) 実験方法 (サンプル作製プロセス)

あらかじめ、30 mm²シリコン基板を準備し、レーザー直接描画装置や真空蒸着装置を用いて、Au のアライメントマークをリフトオフプロセスで基板上に作製しておく。そのマーク付き基板を硫酸と過酸化水素水 (Sulfuric Peroxide Mixture) の混合薬液にて洗浄し基板上の有機物等を除去する。その後、三層のレジスト構造を Fig. 1 のように作製する。次にレジストが塗布された基板に対して、電子線描画装置 (F7000S-KYT01) にてア

ライメントマークを認識し位置決めを行い、設計データに基づき、パターンの描画を行う。現像処理として、ZEP-520A に対する現像液は ZED-N50 (酢酸 n-

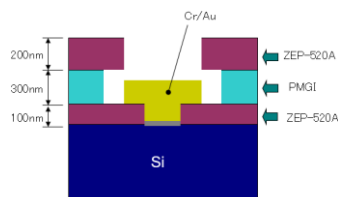


Fig. 1. Structure of T-gate.

アミル) を、PMGI-SF5 に対しては TMAH2.38% を使用して、現像時間を各層変化させて (三層目 9 分間、二層目 40 秒間、一層目 7 秒間) 実施する。最後に、真空蒸着装置にて金属 (Cr/Au) を成膜し、最後に作製した T-gate 電極を FE-SEM にて観察する。(リフトオフプロセスは、時間の無く省略)

3. 結果と考察 (Results and Discussion) :

ほぼ設計どおりに T-gate 電極を作製できた。Fig. 2(a)に断面形状の FE-SEM イメージを、Fig. 2(b)に光学顕微鏡によるパターンのイメージを示す。

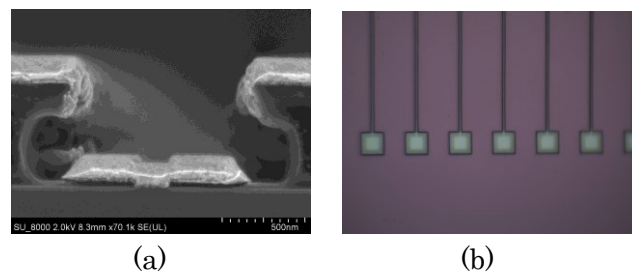


Fig-2. Cross section view of T-gate 100nm width (a). Top view of T-gate (b).

4. その他・特記事項 (Others) :

電子線描画装置アドバンストコースの実習の様子を右の写真に示す。



5. 論文・学会発表 (Publication/Presentation) :

なし。

6. 関連特許 (Patent) :

なし。