

課題番号 : F-16-KT-0074
 利用形態 : 技術代行
 利用課題名(日本語) : 3次元パワーSoC用の基板構成法の研究
 Program Title(English) : Investigation of a substrate for 3D stacked power SoC
 利用者名(日本語) : 松本 聡
 Username(English) : S. Matsumoto
 所属名(日本語) : 九州工業大学大学院工学研究院
 Affiliation(English) : Graduate School of Kyushu Institute of Technology

1. 概要(Summary)

電源の研究トレンドは小型化(高パワー密度化)であり[1]、電源の究極の小型化が実現できる power supply on chip(power-SoC)[2]が注目を集めている。

Power-SoC用のパワーデバイスとして高周波スイッチング特性に優れた GaN パワーデバイスと Si デバイスを積層した3次元パワーSoCを我々の研究グループは提案し[3]、その要素技術の研究を進めている[4]。3次元パワーSoCでは、各種半導体素子が、高密度で集積されるために電磁ノイズの抑制が重要課題となる。本研究では、3次元 power-SoC に電磁ノイズ遮蔽層を組み込むためのプロセス技術の研究を進めた結果を報告するとともにプロセス上の課題を明らかにした。

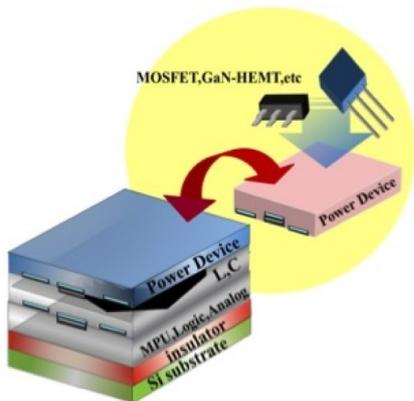


Fig. 1 3D power SoC.

2. 実験(Experimental)

【利用した主な装置】

電子線蒸着装置

【実験方法】

北九州産業学術推進機構の施設で Si(100)基板上に3種類の絶縁膜を堆積した後、電極(Al)と電磁ノイズ遮蔽層を形成した。その後、電子ビーム蒸着装置で金属を堆積した。Fig. 2 に試作した基板の断面構造を示す。

3. 結果と考察(Results and Discussion)

絶縁膜を3種類用いて金属膜の付着状況を調べた結果を Table 1 にまとめる。

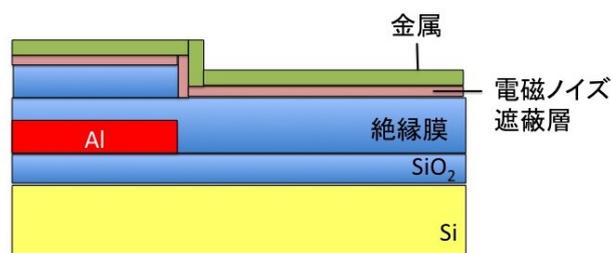


Fig. 2 Schematic cross section of evaluation chip.

Table 1 Experimental results.

絶縁膜 A	絶縁膜 B	絶縁膜 C
○	X	X

○:膜が付着 X:膜剥がれ

下地絶縁膜の種類により電磁ノイズ遮蔽層上の金属膜に膜剥がれが生じることがわかった。一方電磁ノイズ遮蔽層を堆積しない試料では全ての絶縁膜に対して膜剥がれが生じなかった。

4. その他・特記事項(Others)

・参考文献

- [1] J.W. Kolar, U. Drofenik, J. Biela, M. L. Heldwein, H. Ertl, T. Friedli, S. D. Round, PCC Nagoya, pp.9-29, 2007.
- [2] 例えば <http://pwrsocevents.com>
- [3] K. Hiura, Y. Ikeda, Y. Hino, and S. Matsumoto, Ext. Abs. of 2016 SSDM, PS-14-03, 2016.
- [4] S. Duangchan, U. Uchikawa, U. Koshikawa, A. baba, K. Nakagawa, S. Matsumoto, M. Hasagawa, and S. Nishizawa, Proceedings of ECTC2015, pp.187-192, 2015.

本課題は、FAISでも支援を受けている(課題番号: F-16-FA-004)。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent) なし。