

課題番号 : F-16-AT-0081
 利用形態 : 技術代行
 利用課題名(日本語) : 多結晶 III-V 族化合物半導体デバイスの開発
 Program Title (English) : Development of polycrystalline III-V compound semiconductor device
 利用者名(日本語) : 高橋 正紘
 Username (English) : M. Takahashi
 所属名(日本語) : 東京理科大学大学院基礎工学研究科
 Affiliation (English) : Tokyo University of Science

1. 概要(Summary)

Si LSI 上に MOSFET を積層することを想定すると、いわゆるバックエンド工程での耐熱温度以下(500°C 程度)で MOSFET が形成できるチャンネル材料が求められる。本研究で我々は、3D-IC に向けて多結晶 InSb チャンネルの可能性をはじめて検討したので報告する。

2. 実験(Experimental)

【利用した主な装置】

i 線露光装置

【実験方法】

Fig. 1 に多結晶 InSb 膜を利用して作製した多結晶 InSb nMOSFET の構造とプロセスフローを示す。スパッタ法により、SiO₂ゲート絶縁膜(膜厚 20 nm)と TaN ゲート電極を堆積し、ゲートパターン形成後、InSb 結晶化のための RTA を行なった。その後 RIE により、ソースドレイン領域の SiO₂を除去し、MOSFET を作製した。

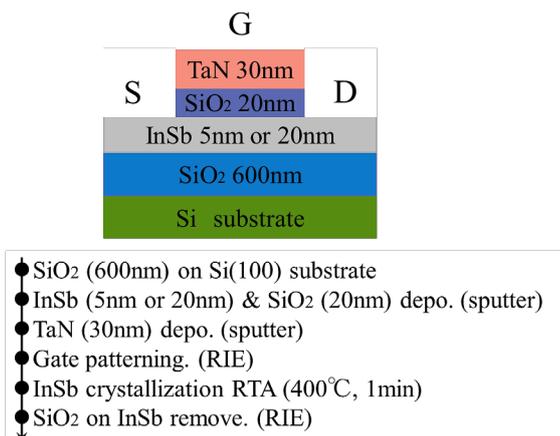


Fig. 1 Schematic device structure and the process flow for Poly-InSb nMOSFETs.

3. 結果と考察(Results and Discussion)

多結晶化の際の InSb 層の表面粗さの抑制効果と、MOSFET のゲート絶縁膜としての機能を持たせるために、厚さ 20 nm の SiO₂キャップ層をアモルファス InSb 層上に作製した。Fig. 2 に poly-InSb nMOSFET の Id-Vg 特性(Vd = 2 V)を示す。ゲート電圧の変化によるドレイン

電流において nMOSFET 型の変調をはじめて確認した。チャンネル膜厚 20 nm の FET においてゲートバイアスが 1V から 7V の範囲でオン/オフ比 4 を得た。オフ電流は下がりきらず、チャンネルの空乏化には至っていない。一方、チャンネル厚さを 5 nm に薄膜化することによりオン/オフ比は 20 に改善した。改善が必要ではあるが、多結晶 InSb 膜が 3D-IC 用の nMOSFET における低温形成チャンネル材料として、高い可能性を有していることをはじめて確認した。

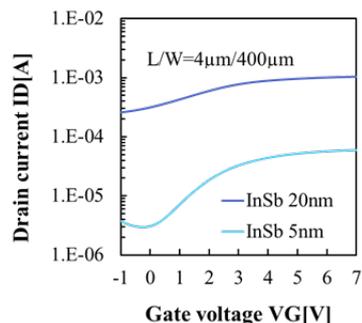


Fig.2 Id-Vg characteristics of Poly-InSb nMOSFETs. On/off ratio of 4 for T_{channel} of 20nm was obtained. On/off ratio was improved to 20 by thinning the channel thickness down to 5 nm.

4. その他・特記事項(Others)

・参考文献

- [1] Usuda et al., IEDM Tech.Dig.,422 (2014).
- [2] M. Radsavljevic et al., IEDM Tech. Dig., 727 (2008).
- [3] T. Ito et al., Jpn. J. Appl. Phys., 52 04CF01 (2013).
- [4] M. Tomisu et al., Vaccum, 47, 3 239 (1996).

5. 論文・学会発表(Publication/Presentation)

- (1) “3次元 IC に向けた多結晶 InSb nMOSFET の実現”, 第 22 回電子デバイス界面テクノロジー研究会, 6-1-3 pp. 87 - 90, 2017.

6. 関連特許(Patent)

なし。