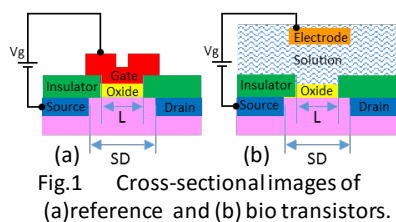


課題番号 : F-16-AT-0077
 利用形態 : 技術代行
 利用課題名(日本語) : トランジスタ試作
 Program Title (English) : Fabrication of transistor
 利用者名(日本語) : 林 重徳
 Username (English) : S. Hayashi
 所属名(日本語) : 大阪大学センター・オブ・イノベーション(COI)研究推進機構
 Affiliation (English) : Organization for Center of Innovation (COI) Research, Osaka University

1. 概要(Summary)

本研究では、半導体 FET をベースに、DNA 等の有機・生体分子の定量測定を可能とするバイオトランジスタの開発を目指している。その基本構成として、通常の FET (Fig. 1(a)) を参照用に、ゲート電圧 V_g を溶液中の参照電極から印加する構造 (Fig. 1(b)) を備えている。昨年度は、ソース・ドレイン形成後に層間絶縁膜を形成、ゲート領域開口後にゲート絶縁膜を形成する、という新しいプロセス構築を検討、その基本動作を確認できたが、今年度はプロセスダメージ軽減による感度向上を目標とした。



2. 実験(Experimental)

【利用した主な装置】

ウエハ酸化炉、分光エリプソメータ、酸アルカリドラフトチャンバー、真空蒸着装置

【実験方法】

昨年度構築した基本フロー (Fig. 2(a)) においては、工程② Pad SiO₂ Etch、⑦ Gate Opening における Si チャネル部へのドライエッチダメージ、⑩ Metalization におけ

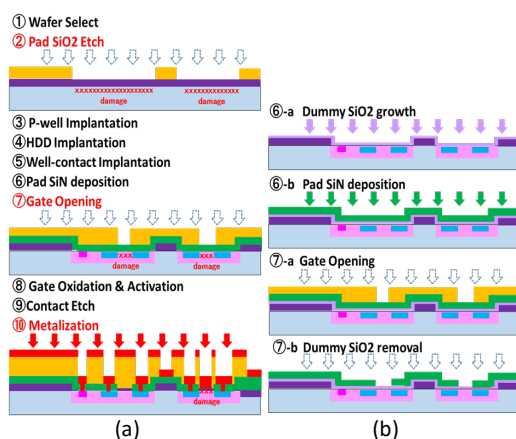


Fig.2 Preliminary (a) and revised (b) fabrication process flows.

るスパッタダメージが懸念される。今回、②については、ドライエッチ途中止め (~15 ± 5 nm 残し)、⑦については Fig. 2(b) に示すように SiN ドライエッチ時のストッパー膜として犠牲酸化膜 (~10 nm) 形成、⑩については、Ti 下地層真空蒸着によりダメージ低減を検討、産総研ナノテクノロジープラットフォームの所有するウエハ酸化炉、真空蒸着装置等を利用させて頂いた。

3. 結果と考察 (Results and Discussion)

今回試作したウエハのゲートリーク I_g - V_g 特性を Fig. 3 に示す。(a)、(b) は、いずれもゲート酸化膜厚 T_{ox} ~ 20 nm、工程②および⑩の上記対策を適用、⑦の対策である犠牲酸化膜の有・無のみの違いであるが、ゲートリーク電流値に大きな差が見られた。本プロセスにおいては、チャネル部へのダメージ軽減が重要であることが明らかになった。引き続き、ダメージ軽減による感度向上を検討する。

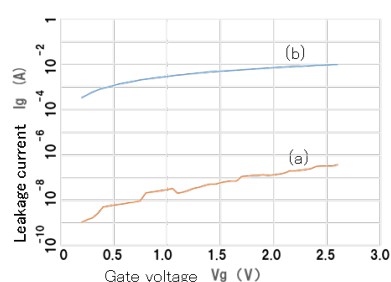


Fig.3 Gate leakage current characteristics (a) with and (b) without SiO₂ dummy.

4. その他・特記事項 (Others)

<謝辞> 本研究は独立行政法人科学技術振興機構 (JST) の研究成果展開事業「センター・オブ・イノベーション (COI) プログラム」の支援によって行われた。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。