

課題番号 : F-16-AT-0054  
利用形態 : 機器利用  
利用課題名(日本語) : GaN エピ基板を用いた pn ダイオードの作製  
Program Title (English) : Fabrication of GaN pn diode  
利用者名(日本語) : 田中 亮  
Username (English) : R. Tanaka  
所属名(日本語) : 富士電機株式会社  
Affiliation (English) : Fuji Electric Co., Ltd.

## 1. 概要(Summary)

次世代パワーデバイスとして GaN 基板上的ホモエピを用いた縦型 MOSFET が期待されている。高耐圧デバイスの実現に向け、厚い低濃度 n 層を耐圧保持層とし、pn 接合を用いた耐圧特性の評価が必要である。そこで、本研究では縦型デバイスの耐圧要素構造として、縦型 pn ダイオードを試作し、耐圧特性の評価を行った。

## 2. 実験(Experimental)

### 【利用した主な装置】

スピコーター、コンタクトマスクアライナー  
酸ドラフト  
真空蒸着装置

### 【実験方法】

p+層/p層/n層/n+GaN 構造の GaN エピ基板を用い、ドライエッチングにより p+/p 層を部分的に除去し 100  $\mu\text{m}$  径の円形 pn ダイオード領域を形成した。電界緩和構造を形成するためのフィールド絶縁膜として、 $\text{SiO}_2$  膜を全面に成膜した。p+層への電極接触領域を形成するためのレジストパターンを形成した後、バッファードフッ酸で  $\text{SiO}_2$  を開口した。その後、電界緩和のためのフィールドプレート構造を含むアノード電極パターンを形成した。最後に n+GaN 基板裏面にカソード電極を全面蒸着し、縦型 pn ダイオード構造を試作した。耐圧評価は自社で高耐圧プローバとパワーデバイスパラメータアナライザを用いて行った。

## 3. 結果と考察(Results and Discussion)

試作した pn ダイオードに、逆方向バイアスとなるカソード電圧を印加してリーク電流を評価した結果を Fig. 1 に示す。電圧印加によりリーク電流が急激に増加する破壊が見られた。耐圧に至るまでのリーク電流は低く、GaN 基板

上のホモエピで形成した pn 接合リーク特性は良好であった。また、n-層厚を厚くすることで耐圧が向上した。以上、縦型 pn ダイオード構造を用い、GaN 基板上に形成した pn エピ層の高耐圧接合特性を確認した。

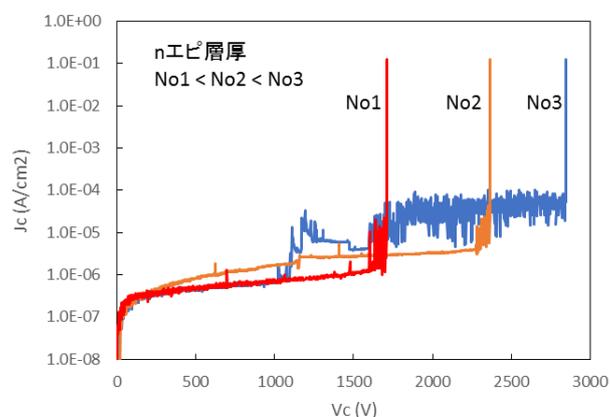


Fig. 1 Breakdown characteristics of fabricated vertical GaN pn diodes with different n-epi layer thickness.

## 4. その他・特記事項(Others)

なし。

## 5. 論文・学会発表(Publication/Presentation)

なし。

## 6. 関連特許(Patent)

なし。