

課題番号 : F-16-AT-0018
利用形態 : 技術代行
利用課題名(日本語) : 微細グラフェン配線の研究開発(微細構造試作)
Program Title(English) : Research on ultra-narrow width graphene interconnects
利用者名(日本語) : 磯林 厚伸
Username(English) : Atsunobu Isobayashi
所属名(日本語) : 株式会社東芝
Affiliation(English) : Toshiba corporation

1. 概要(Summary)

微細化が進む先端半導体デバイスにおいて微細幅低抵抗配線材料の開発が求められている。グラフェンはバリスティック伝導性や高電流密度耐性などの優れた物性を有し、低抵抗配線として応用が期待されている。本研究では、4層グラフェン基板を用いたグラフェン配線試作の環境整備と電気抵抗測定を実施した。

2. 実験(Experimental)

【利用した主な装置】

電子ビーム描画装置(NPF001)
小型真空蒸着装置(NPF024)
スピコーター(NPF008)
短波長レーザー顕微鏡(VK-9700)
多元同時スパッタ装置(NPF028)

【実験方法】

4層グラフェンは高温 CVD(Chemical vapor deposition)により成膜され SiO₂ 基板上に転写された 1 cm² の市販のものを使用した。最初にフォトリソグラフィ、酸素ドライエッチングにより転写したグラフェンを 10 μm × 15 μm に形状加工(アイソレーションステップ)し、電子ビーム描画、金属蒸着、リフトオフによりグラフェン上に金属電極を形成(電極形成ステップ)した。その後、電子ビーム描画により HSQ(Hydrogen silsesquioxane)パターンを電極間に架橋させるようにグラフェン上に形成した。最後に酸素ドライエッチングにより微細幅グラフェン配線を作製した(微細配線形成ステップ)。まず電極形成ステップ後に SEM および電気抵抗測定により試作の出来を確認した。また微細配線形成ステップ後では SEM による出来栄を確認した。

3. 結果と考察(Results and Discussion)

電極形成ステップ後のチップ番号 G17 の出来栄検査結果を Figure 1 に示す。グラフェン加工側面に残渣が見受けられるが全体として問題は見られなかった。

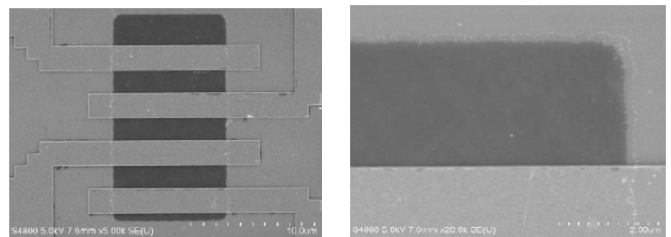
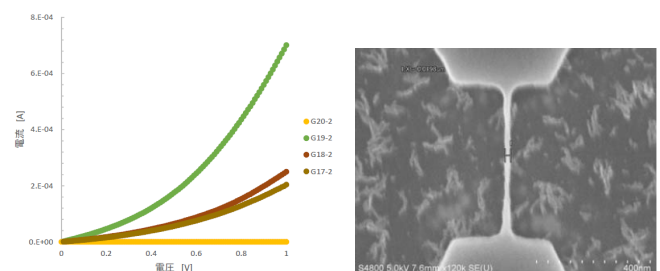


Figure 1 SEM images after pad metallization step (chip No. G17).

次に2端子を用いた I-V 測定を実施した(Figure 2)。



(left) Figure 2 I-V curve at 4 different test sites, (right) Figure 3 SEM after fine patterning.

チップ内の4箇所について I-V 測定を実施したが、いずれも非線形もしくは非導通の結果が得られた。グラフェンと電極界面に絶縁体が存在することが示唆される。今後改善を実施するが、続けて試作整備として微細配線加工まで実施し出来栄を検査した(Figure 3)。配線幅は 20 nm までパターンニングできることが確認できた。一方、残渣除去の改善等を今後実施する予定である。

4. その他・特記事項(Others)

謝辞: この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の委託業務の結果得られたものである。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。