

課題番号 : F-16-AT-0009
利用形態 : 技術代行
利用課題名(日本語) : 微細配線の露光・現像
Program Title (English) : Exposure and development of fine pitch wiring layer
利用者名(日本語) : 久田隆史, 末岡邦昭, 渡邊敬仁
Username (English) : T. Hisada, K. Sueoka, T. Watanabe
所属名(日本語) : 日本アイ・ビー・エム株式会社
Affiliation (English) : IBM Japan, Co. Ltd.

1. 概要(Summary)

半導体モジュールの高集積化・高速化にともない、半導体チップを実装するチップキャリア基板の配線ルールを微細化することが求められている。現在、フリップチップパッケージで用いられている基板では、Line/space = 10/10 μm 程度が最小配線ルールとなっている。HBM (High Bandwidth Memory) と呼ばれる高速アプリケーション用メモリでは、L/S = 2/2 μm 程度の配線ルールが必要だとされている。今回、ある感光性の有機絶縁膜を用いて、下地基板が異なる条件下で、微細配線の露光・現像を行い、その解像性能の検証を行った。

2. 実験(Experimental)

【利用した主な装置】

i 線露光装置

【実験方法】

Si 基板、ガラス基板、および Cu を成膜した Si・ガラスそれぞれの基板に、有機絶縁膜を形成し、露光量等を変化させて露光した試料を作製した。この試料を現像した後に、配線パターン断面を出し、光学顕微鏡と電子顕微鏡の観察によって、絶縁膜の形状や残渣などを観察した。

3. 結果と考察(Results and Discussion)

今回、試作した感光性絶縁膜の試料では、Si、ガラス、Cu という下地の違いによる露光への影響は小さいことが分かった。それぞれの下地に合わせて若干の露光条件の最適化は必要であるが、最小線幅が 1~2 μm 程度までの、良好な解像性が確認された。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

- 1) H. Mori, T. Aoki, E. Nakamura, A. Horibe, K. Sueoka, and T. Hisada, "Low Cost and High Density Packaging Technologies for Ultra Small IoT Computing Systems", 2019 Electron Devices Technology and Manufacturing Conference (EDTM) pp206-208, 03/2019, DOI: 10.1109/EDTM.2019.8731184

6. 関連特許(Patent)

なし。