

課題番号 : F-15-YA-0016
 利用形態 : 技術代行
 利用課題名(日本語) : ウエハへのマイクロビアの作製および銅薄膜の形成
 Program Title(English) : Fabrication of Microvia and Deposition of Copper Thin Film on a Silicon Wafer
 利用者名(日本語) : 福田 光修
 Username(English) : M. Fukuda
 所属名(日本語) : 熊本防錆工業株式会社
 Affiliation(English) : Kumamoto Bosei Kougyou Co. Ltd.

1. 概要(Summary)

TSV(Trough Silicon on Via)めっきプロセスの開発を進める中で、シリコン基板に高アスペクト比のホールを開け、銅薄膜(シード層)を形成するプロセスを検討した。深掘りのエッチング装置で、直径 50 μm 、20 μm 、10 μm 、深さ 50 μm のホールを形成し、銅をスパッタ法で成膜した。

ホールボトム銅膜の膜厚が目標の 1 μm まで厚くすることができず、他の成膜手法を検討することとし、スパッタ法は終了するに至った。

2. 実験(Experimental)

【利用した主な装置】

マスクアライナー、深掘りエッチング装置、UHV10 元スパッタ装置、走査型電子顕微鏡

【実験方法】

シリコン基板に既存のマスクを用いてマスクアライナーで露光・現像し、深掘りエッチング装置で 50 μm の深さまでエッチングを行った。加工したシリコン基板に銅薄膜の形成について、表面の膜厚が 3 μm 程度ホールの壁部、底部で 1 μm を目標として種々のスパッタ成膜条件を検討した。

3. 結果と考察(Results and Discussion)

直径 50 μm 、20 μm 、10 μm 、深さ 50 μm の目標で作製したホールを Fig. 1 に示す。

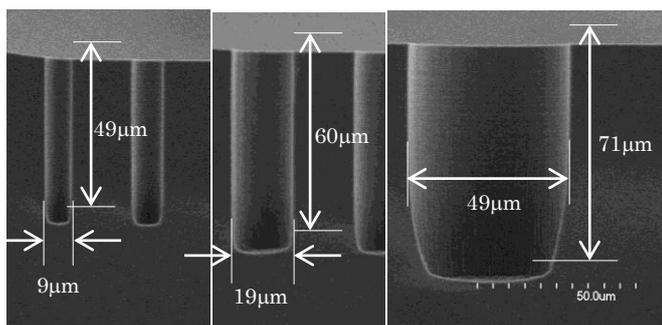


Fig. 1 SEM image of holes by Bosh process etching

ホールを作成した基板に UHV スパッタ装置を用い、DC スパッタ、RF スパッタ、RF 逆スパッタによるバイアス電圧の制御、基板加熱等を組み合わせて Cu の成膜を行ったが、ホール底部に 1 μm の Cu 膜を形成することはできなかった。

Fig. 2 に直径 20 μm のホールに Cu をスパッタした場合の SEM 測定観察を示した。

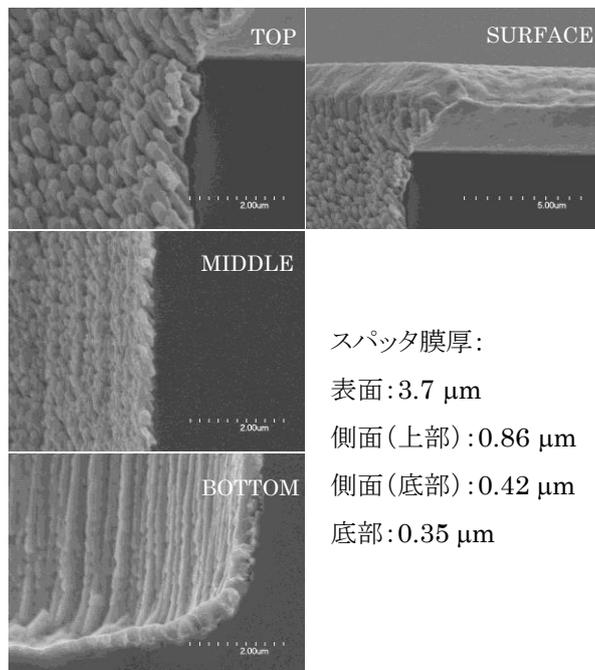


Fig. 2 Cross-sectional SEM image of Cu film on a surface of 20 μm hole

4. その他・特記事項(Others)

・参考文献
なし

5. 論文・学会発表(Publication/Presentation)

なし

6. 関連特許(Patent)

なし