

課題番号 : F-15-UT-0111  
利用形態 : 共同研究  
利用課題名(日本語) : センサ試作のための配線パターンニングの検討  
Program Title (English) : Examination of the Metal Patterning for hybrid sensors  
利用者名(日本語) : 関口亮太、尾内敏彦  
Username (English) : Ryota Sekiguchi, Toshihiko Ouchi  
所属名(日本語) : キヤノン株式会社  
Affiliation (English) : Canon Inc.

### 1. 概要 (Summary) :

キヤノン株式会社では、次世代の高周波センサ向けの素子の研究を行っている。これまで自社内の開発で、基幹部品である単体の検出素子プロセスが固まってきたので、システムとしての性能検証の段階として、素子の近傍で情報処理（増幅、レベル変換、アドレスング等）を行うために、大規模集積回路（VLSI）と集積化を実証する。

東京大学 VDEC で提供する CMOS マルチチップウエハと、キヤノンによる高周波用センサ素子とを融合した新規なセンサを作製する。共同研究によって実施し、今年度は実際にこれらを融合する検討を行った。

### 2. 実験 (Experimental) :

#### **【利用した主な装置】**

- ・ 高速大面積電子線描画装置 (ADVANTEST F5112+VD01)
- ・ 塩素系 ICP エッチング装置 (ULVAC CE-S, 8 インチ装置)

#### **【実験方法】**

トランジスタ回路を作製したシリコンウエハに、社内ならびに東京大学微細加工拠点でポストプロセス加工を行い、トランジスタ回路と検出素子との配線パターンニングを作製する。具体的には、東京大学 VDEC の試作によって得られた 6 インチ CMOS ウエハを、ステルスダイシング装置によってチップに分割し、同チップ上に自社開発での検出素子を作製した。その後、高速大面積電子線描画装置と、塩素系 ICP エッチング装置、ならびに自社装置を利用して、トランジスタ回路へ Ti/Al/TiN 配線パターンニングを行った。

### 3. 結果と考察 (Results and Discussion) :

今年度の成果物として、「あらかじめ作製した

CMOS 回路のポストプロセス工程との整合性」の検証と、「コンセプト実証としてのセンサ素子の作製」を狙いとした。

まず、パターンニングには電子線描画装置を利用してホトマスクを作製し、ホトリソプロセスを行った。通常のホトリソプロセスで加工が難しい細線部分には電子線直接描画を用いた。配線エッチングでは ICP エッチング装置を利用し、塩素  $\text{Cl}_2$  と 3 塩化ホウ素  $\text{BCl}_3$  とアルゴンの混合ガス  $\text{BCl}_3/\text{Cl}_2/\text{Ar} = 15 \text{ sccm}$ 、圧力 0.5 Pa アンテナ電力 320 W、バイアス電力 50 W の条件を用いた。トランジスタ回路と配線とは Ti 層が接触しており、360 °C、10 分の窒素  $\text{N}_2$  アニールを実施することによってコンタクトホール ( $1.6 \mu\text{m} \times 6.4 \mu\text{m}$ ) 一つあたり、40  $\Omega$  の接触抵抗に低抵抗化することが出来た。トランジスタの一つのソース・ドレインに 9 個コンタクトホールを配置し、トランジスタ回路を動作させることが出来た。

### 4. その他・特記事項 (Others) :

共同研究者 ;

東京大学拠点マネージャ ; 三田吉郎 准教授

### 5. 論文・学会発表 (Publication/Presentation) :

なし

### 6. 関連特許 (Patent) :

なし