

課題番号 : F-15-UT-0110
利用形態 : 機器利用
利用課題名(日本語) : 電子線描画装置 F5112 を利用したサブミクロン加工の検討 2~OEBR-CAP112~
Program Title (English) : Fabrication of Sub-micron Pattern using F5112 II ~OEBR-CAP112~
利用者名(日本語) : 小山泰史、尾内敏彦
Username (English) : Yasushi Koyama, Toshihiko Ouchi
所属名(日本語) : キヤノン株式会社
Affiliation (English) : Canon Inc.

1. 概要 (Summary) :

キヤノン株式会社では、InP 基板を用いた半導体素子の研究開発をおこなっている。一般的に、InP の基板サイズは 2~3 インチφが主流であるため、8 インチ以上の大口径化が進む Si デバイスで広く利用される投影型露光技術によるサブミクロン加工を実施することは容易ではない。この課題を解決する手段の一つとして、基板サイズが限定されない電子線描画技術を用いた微細加工が良く知られている。我々は、東京大学・微細加工プラットフォームの公開装置であるアドバンテスト社製大面積高速電子線描画装置 (F5112+VD01) を利用した InP のサブミクロン加工に関する検討を進めている。昨年度は、ZEP520A を用いた n 型 InP 基板上への残し孤立パターン(island pattern)の形成について検討し、レジスト残渣と近接効果によるパターン縮小が課題であることが明らかになった。そこで、本年度は、ポジ型レジスト OEBR-CAP112 (東京応化工業社製) を用いた残し孤立パターン形成に関して露光条件の最適化を実施したので報告する。

2. 実験 (Experimental)

【利用した主な装置】

大面積高速電子線描画装置
クリーンドラフト潤沢超純水付

【実験方法】

n 型 InP (直径 76.2 ± 0.3 mm、厚さ 625 ± 20 μm 、両面ミラー、ドーパント : S、キャリア濃度 $\geq 4 \times 10^{18}$ cm^{-3}) の上に Mo (50 nm)、SiN_x (200 nm) の順に薄膜を積層した構成の基板を用いた。東大 VDEC 所有のスピンコータと有機ドラフトを使用した。OEBR-CAP112 の厚さは 1.5 μm で、主な条件は、PAB 110 °C、PEB 110 °C、現像 (NMD3、1 min 浸漬) で

ある。F5112 の DOSE 量を 2.8 から 3.4 $\mu\text{C}/\text{cm}^2$ の間で変化させ、光学顕微鏡で TEG パターン (幅 0.5 / 1.0 / 1.5 / 2.0 / 3.0 μm × 長さ 500 μm のライン状の残し孤立パターン) を測長し寸法を評価した。

3. 結果と考察 (Results and Discussion) :

DOSE が 3.0 $\mu\text{C}/\text{cm}^2$ において、幅 1 μm 以上のパターンでは寸法が設計値に近くなった。近接効果によるパターン幅の縮小と角の丸まりは確認されたが、ZEP520A のような残渣は観察されなかった。本検討の結果から、OEBR-CAP112 を試作に適用することに決定した。

4. その他・特記事項 (Others) :

なし

共同研究者等 (Coauthor) :

なし

5. 論文・学会発表 (Publication/Presentation) :

なし

6. 関連特許 (Patent)

なし