

課題番号 : F-15-UT-0057
利用形態 : 技術補助
利用課題名(日本語) : 新材料スイッチの形成のための基板作成
Program Title (English) : Fabrication of template wafer for novel-material switch
利用者名(日本語) : 森田行則
Username (English) : Y. Morita
所属名(日本語) : 産業技術総合研究所ナノエレクトロニクス研究部門
Affiliation (English) : NeRI - AIST

1. 概要(Summary)

近年、電子情報機器の消費電力低減が社会的に求められているが、現在の電子回路を構成する電界効果トランジスタ (MOSFET) の低消費電力化は原理的な限界に近づいている。この限界を突破するため、MOSFET とは異なる原理で動作する新しいスイッチングデバイスの研究が盛んとなっている。

今回、Si 基板上に新規スイッチングデバイスを集積形成することを目指し、チャンネル材料やゲート材料の加工を行うための基板作成を行った。

2. 実験(Experimental)

【利用した主な装置】

高速大面積電子線描画装置、汎用 ICP エッチング装置、形状・膜厚・電気評価装置群、クリーンドラフト潤沢超純水付。

【実験方法】

試料の加工には東京大学超微細リソグラフィー・ナノ計測拠点クリーンルーム内の装置を使用した。比抵抗および酸化膜をあらかじめ調整した 4 インチシリコンウェハ上にレジスト塗布の後、電子線描画装置を用いてパタン露光、現像し、レジストパターンを形成した。その後 RIE 装置により、レジストパターンをマスクとして基板 Si のエッチング加工を行った。エッチングガスは CF_4 を用いた。加工後、レジストは酸素を用いたアッシング処理で除去した。加工形状を確認するため、試料を東京大学超微細リソグラフィー・ナノ計測拠点クリーンルームより産総研へと移送し、原子間力顕微鏡 (AFM) を用いて表面を計測した。

3. 結果と考察(Results and Discussion)

Fig. 1 はレジストマスクを除去した後のエッチング段差の AFM 測定結果である。Si ウェハが約 500 nm エッチングされており、目標値に一致するエッチング加工ができたことを確認した。

4. その他・特記事項(Others)

本研究は、JST、CREST の支援を受けたものである。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。

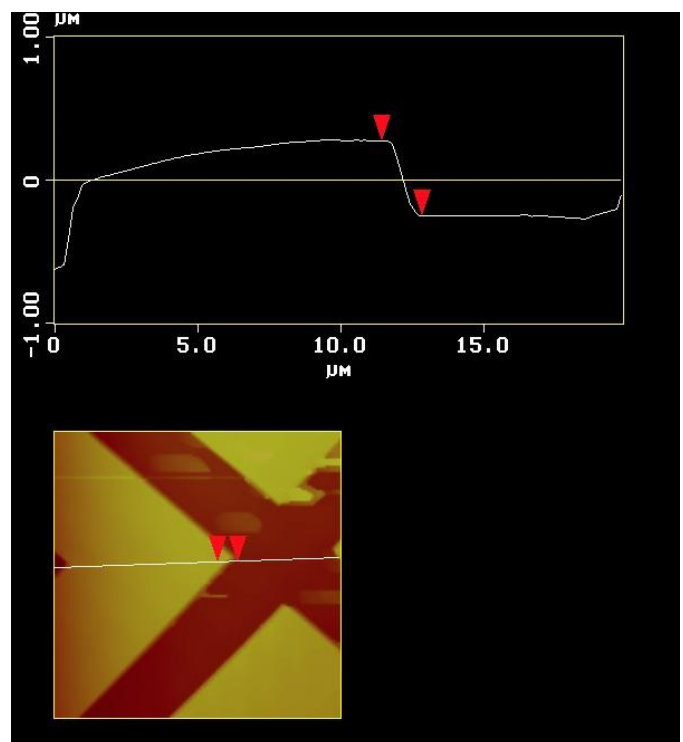


Fig. 1 Cross-sectional profile of fabricated pattern measured by AFM. Depth of pattern is 0.5 μm. Topographic top view image (20 x 20 μm) is also indicated.