

課題番号 : F-15-TU-0048  
 利用形態 : 機器利用  
 支援課題名(日本語) : 三次元 LSI の試作研究開発  
 Research Title (English) : Research and development of 3D LSI  
 利用者名(日本語) : 小柳光正, 福島誉史, 金野成秀, 長井千里, 中村愛, 相沢宏行  
 Username (English) : M. Koyanagi, T. Fukushima, S. Konno, C. Nagai, A. Nakamura, H. Aizawa  
 所属名(日本語) : 東北大学 未来科学技術共同研究センター  
 Affiliation (English) : New Industry Creation Hatchery Center, Tohoku University

### 1. 概要(Summary)

次世代集積回路として期待されているシリコン貫通配線(TSV)を用いた三次元積層型集積回路を形成する上で欠かせないのがアセンブリ技術である。積層する形態として良品チップのみを選別し、ウエハ上に積層して、多層化する手法が最も歩留りとスループットが高いとされている。ここでは転写方式を用いて、良品チップを高精度に積層するために必要な自己組織化静電吸着ウエハの作製に成功し、それを用いた $\pm 1 \mu\text{m}$ の高い位置合わせ精度の実装を実証することができたのでここに報告する。

### 2. 実験(Experimental)

#### 【利用した主な装置】

芝浦スパッタ, 熱電子 SEM

#### 【実験方法】

芝浦スパッタを用いてTi/Cuのバリア/シード層を形成し、自己組織化静電吸着ウエハ上にバイポーラ型の楕歯電極を形成した。チップは我々が運用する三次元スーパーチップ試作製造拠点(GINTI)で作製し、転写の実験は西澤潤一記念研究センターある8インチのウエハボンダーを用いて行った。

### 3. 結果と考察(Results and Discussion)

自己組織化静電吸着ウエハ (SAE キャリア) を用いた転写による三次元積層工程を Fig. 1 に示す。また、得られた SAE キャリア上に液体の表面張力を用いてチップを実装した写真とそれを目的のインターポータ基板に Chip-to-Wafer 方式で転写した写真を Fig. 2 に示す。液体の表面張力を用いて多数のチップを一括で自己組織的にアセンブリした精度は約  $1 \mu\text{m}$  であった。一方、これを静電吸着して固定し、転写した後のズレは X 方向で  $300 \text{ nm}$ , Y 方向で  $600 \text{ nm}$  であったことから SAE キャリアによる転写の高い位置合わせ精度が実証できた。

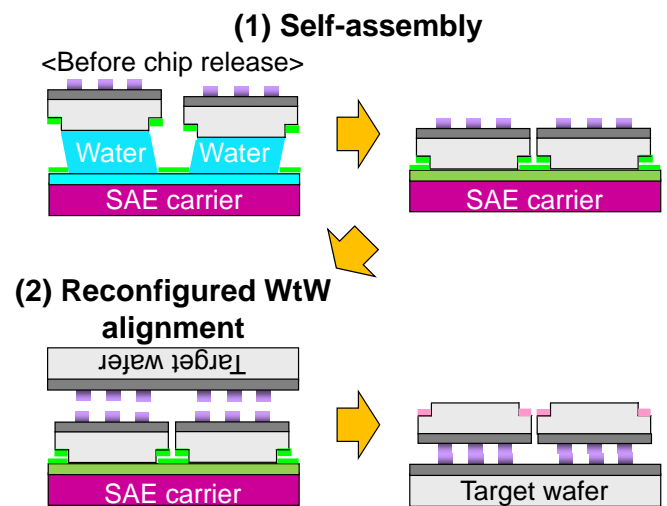


Fig. 1 Transfer 3D stacking flow using SAE carrier

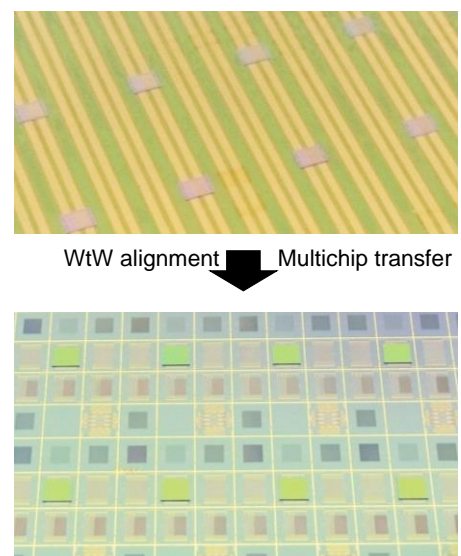


Fig. 2 Self-assembled KGDs on SAE carrier and transferred KGDs on target 8-inch interposer wafer

### 5. 論文・学会発表(Publication/Presentation)

T. Fukushima, T. Suzuki, H. Hashiguchi, C. Nagai, J. Bea, H. Hashimoto, M. Murugesan, K. Lee, T. Tanaka, K. Asami, Y. Kitamura, and M. Koyanagi, "Transfer and Non-Transfer Stacking Technologies Based on Chip-to-Wafer Self-Assembly for High-Throughput / High-Precision Alignment and Microbump Bonding", Technical Digest of 3DIC 2015, pp. 134-137.