

課題番号 : F-15-OS-0063
 利用形態 : 機器利用
 利用課題名 (日本語) : Si 基板の平滑エッチング技術検討
 Program Title (English) : Study of flat etching technique in Si substrate
 利用者名 (日本語) : 上村 重明, 種子田 賢宏
 Username (English) : S.Uemura, T.Taneda
 所属名 (日本語) : 住友電気工業株式会社
 Affiliation (English) : Sumitomo Electric Industries, Ltd.

1. 概要 (Summary)

当社では半導体デバイスプロセス技術を応用して、nm オーダーで制御された微細構造の形成技術の開発を進めている。その一環として、本研究では Si 基板の高速エッチングに取り組んだ。

2. 実験 (Experimental)

【利用した主な装置】

深掘りエッチング装置 サムコ “RIE-400iPB-NP”

【実験方法】

深掘りエッチング装置に導入するサンプルを Fig.1 に示す。Si 基板(厚さ 500um)の片面に SiO₂ 膜(厚さ 50nm)を製膜したサンプルを予め作製した。なお、作製には京大ナノハブ拠点のプラズマ CVD 装置(住友精密工業、MPX-MACS CVD 装置)を利用させていただいた。

SiO₂ 膜のない Si 基板側からエッチングするために 5 mm×5 mmの開口をカプトンテープで作成し、深掘りエッチング装置に導入した。なお、エッチングレートに影響が大きい試料冷却はダミーSi ウェハにフロンブリンオイルを滴下した後試料を設置し、余剰分をふき取る方式で均質化を図った。

また、エッチングレシピは技術指導いただいた近田様より提供いただいたものを用いた。

3. 結果と考察 (Results and Discussion)

今期は実験期間が短いため、エッチングレート出しに注力した。Fig.2 はエッチングレート評価のため、荒彫り条件(100cycle)の実施後、現地で Si 基板を劈開し、断面を SEM で観察したものである。これより荒彫りでのエッチングレートは 0.45nm (=45nm/100cycle)であることが分かった。今後はエッチングレートのみならず、マイクロマスク低減等の平滑性を重視したエッチングレシピの検討を進める。

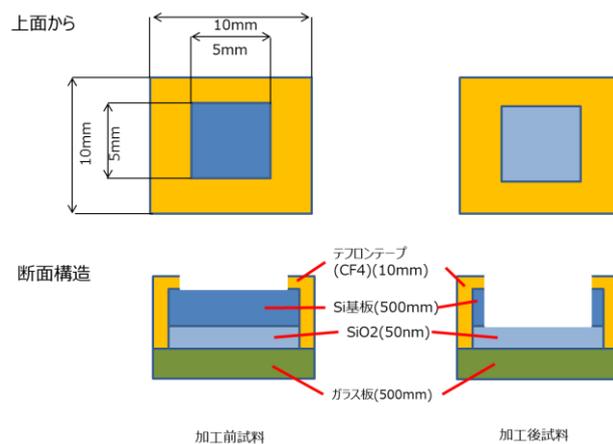


Fig.1 Image of sample structure (Left: before etching, Right: after etching)

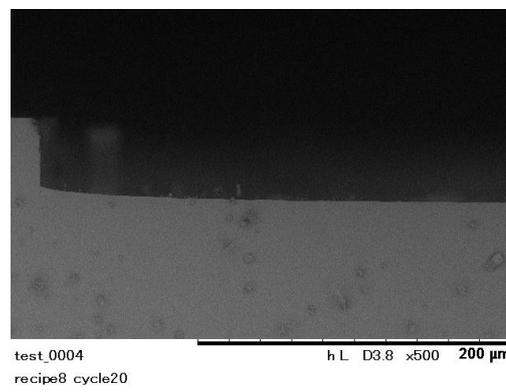


Fig.2 Section image of processing for RIE etching

4. その他・特記事項 (Others)

RIE: Reactive Ion Etching

技術相談時から利用実験時の条件だしまで、法澤様、近田様には多大なご指導をいただき感謝いたします。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。