

課題番号 : F-15-NM-0072
 利用形態 : 機器利用
 利用課題名 (日本語) : MOS ゲートスタック構造の作製及び MOSFET 評価
 Program Title (English) : MOS gate stack fabrication and evaluation of MOSFET
 利用者名 (日本語) : 近藤 佳幸
 Username (English) : Y. Kondo
 所属名 (日本語) : 東京エレクトロン株式会社
 Affiliation (English) : Tokyo Electron Ltd.

1. 概要 (Summary)

MOSFET 作製工程のうち Gate stack プロセスを支援して頂いた。本課題ではゲート酸化膜及びゲート電極の成膜を行い、その後のプロセスは弊社内で行った。試料の評価は FET の I_D - V_G 測定によって行った。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 原子層堆積装置 (Atomic Layer Deposition: ALD)
- ・ 超高真空スパッタ装置

【実験方法】

弊社で用意した P 型半導体膜を有する絶縁基板上に ALD によって Al_2O_3 を 10 nm 成膜し、スパッタで Ta を 20 nm 成膜した。ALD のチャンバー温度は 200°C とし、スパッタの出力設定は DC 50 W とした。その後弊社内にて MOSFET の加工を行った。

3. 結果と考察 (Results and Discussion)

Fig. 1 に N 型 MOSFET の I_D - V_G 特性を示す。本件で作製したデバイスでは FET 変調が確認されたもののドレイン-ゲート間のリークが多く、正常に動作させるまでに至らなかった。参考データとして弊社内で Gate stack 構造を作製した試料 (Fig. 1(b)) では同加工プロセスでも正常に動作した。この違いは Ta 電極の膜質のためだと考えられる。本支援で成膜した Ta 電極のシート抵抗は約 110 Ω/\square であった。それに対して弊社で成膜した Ta 電極は 10 k Ω/\square と二桁も大きかった。今回作製した MOSFET は Fig. 2 に示すように簡易的な構造のためソースドレイン層とゲート電極が接触する可能性がある。そのためゲート電極の抵抗の差がリークのしやすさに影響したと考えられる。構造上リークが起きやすいデバイスであったが、このようにゲート電極の抵抗で顕著な違いが出ることは初め

て分かった。

なお、このリークを抑えるためにはサイドスペーサーの導入が最も効果的だと考えられる。

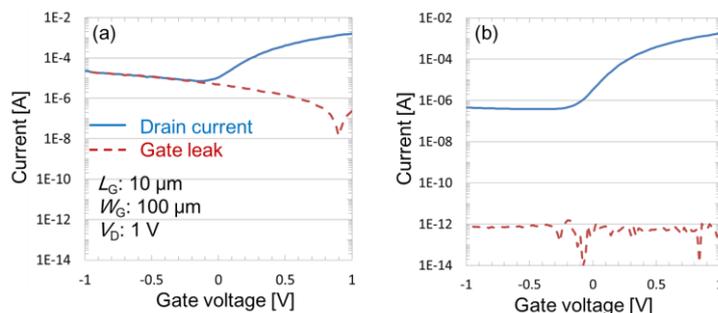


Fig. 1: I_D - V_G performances of fabricated MOSFETs (a) using this support, (b) without using the support as a reference

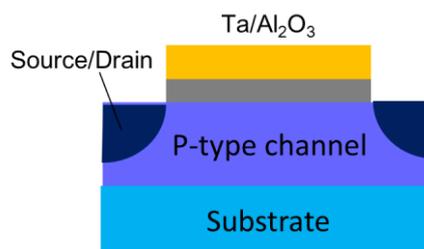


Fig. 2: Structure of fabricated MOSFET

4. その他・特記事項 (Others)

本研究は東京大学微細構造解析プラットフォーム、及び AIST ナノプロセッシング施設の支援を併用した。
 共同研究者: 大場大輔、軍司勲男 (東京エレクトロン)

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。