

課題番号 :F-15-NM-0040
利用形態 :機器利用
利用課題名 (日本語) :Ge nMOSFET 試作
Program Title (English) :Ge nMOSFET fabrication
利用者名(日本語) :白神 健太郎
Username (English) :K. Shiraga
所属名(日本語) :東京エレクトロン(株)
Affiliation (English) :Tokyo Electron Limited

1. 概要 (Summary)

ゲルマニウム(Ge)はシリコンと比べて移動度が高く、次世代のチャンネル材料として期待されている。ゲルマニウムトランジスタ特性を理解するために Ge MOSFET(Metal Oxide Semiconductor Field Effect Transistor)を作成し、電気特性評価を行うことは不可欠である。

昨年より、我々は Ge MOSFET のプロセスフロー構築を進めてきた。本年度の成果として一連のトランジスタフローが構築され、電気特性評価によりトランジスタ特性を取得することができた。本報告書では、微細加工プラットフォームの装置を利用して作成した Ge FET の試作結果を報告する。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ プラズマ CVD 装置
- ・ 全自動スパッタ装置
- ・ 原子層堆積装置
- ・ 多目的ドライエッチング装置

【実験方法】

Figure 1 に NIMS 微細加工プラットフォームで試作した Ge MOSFET の顕微鏡写真を示す。p 型 Ge 基板上にプラズマ CVD 装置にて Field-Ox の堆積を行った後、高速マスクレス露光機でレジストマスクパターンを形成し、バフアードフッ酸処理を行うことで酸化膜による阻止分離パターンを形成した。次に、Source/Drain 形成のため、リンのイオン注入および活性化アニールを行った。続いて、原子層堆積装置でゲート絶縁膜と全自動スパッタ装置によるゲート電極金属の成膜を行った後、レジストマスクパターンニングを形成し多目的ドライエッチング装置でメタルエッチングを行うことでゲート電極のパターンニングを行った。その後、コンタクトホール形成してからメタルコンタクト配線

パターンニングを行い、トランジスタを試作した。

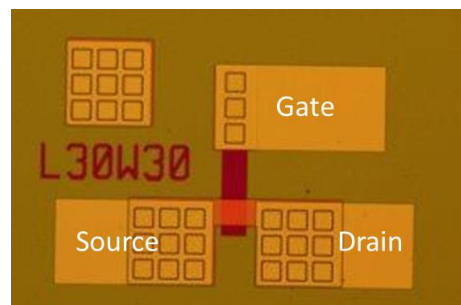


Figure 1. Microscope view of GeFET

3. 結果と考察 (Results and Discussion)

Figure 2 は、本年度試作した n-channel GeFET の Vg-Id(Gate Voltage-Drain Current)特性の一例を示す。Id の ON/OFF 比は約 3 桁を実現することに成功した。

今後は、弊社の装置で成膜したゲート絶縁膜を Ge MOSFET を用いて評価することを計画している。

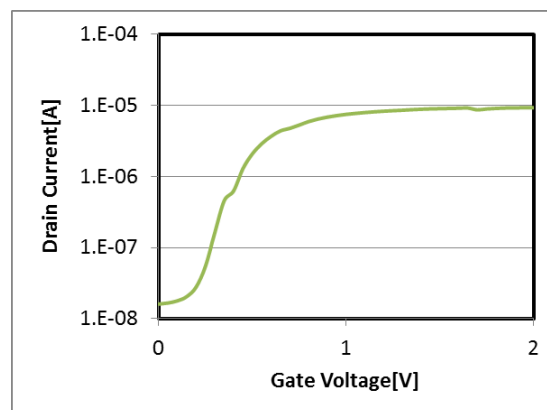


Figure 2. Vg-Id curve of nGeFET

4. その他・特記事項 (Others)

試料作製にあたり、NIMS 微細加工プラットフォームの渡辺英一郎様、大里啓孝様から技術支援を頂きましたことを深く感謝いたします。

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし