

課題番号 : F-15-NM-0038
 利用形態 : 機器利用
 利用課題名 (日本語) : Ge サラウンディングゲートトランジスタを含む評価素子の立ち上げ
 Program Title (English) : Setup of Test Element Group with Ge Surrounding Gate Transistor
 利用者名 (日本語) : 谷村 龍彦
 Username (English) : T. Tanimura
 所属名 (日本語) : 東京エレクトロン株式会社
 Affiliation (English) : Tokyo Electron Ltd.

1. 概要 (Summary)

プロセス評価を行うにあたっては、その用途に適した評価素子を用いることが必要である。また、将来のトランジスタにおいては、チャンネル材料として Ge、構造としてサラウンディングゲート型が有望と考えられている。そこで、当該材料・構造を有する評価素子を作成するべく、プロセス条件の評価を行った。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ 電子ビーム描画装置(100kV & 125kV)
- ・ 原子層堆積装置
- ・ プラズマ CVD 装置
- ・ 多目的エッチング装置
- ・ シリコン深堀エッチング装置
- ・ ウェハ RTA 装置
- ・ 走査電子顕微鏡

【実験方法】

評価素子は、20mm²、GOI チップを用いて作成することとした。現在のところ、作成工程は全て NIMS 微細加工 PF にて行っている。

初期状態では GOI が厚すぎるので、RTA 装置にて Ge を酸化することで薄膜化を行った。アライメントマークは、マスクレス露光装置および 2 種のエッチング装置を用いて Si 基板に深掘りした。素子分離のためのマスク層としてプラズマ SiO₂/ALD Al₂O₃ を用い、電子ビーム露光およびエッチングによる素子分離パターンニングおよびワイヤパターンニングの条件を最適化中である。評価素子の核となるトランジスタ部の最終構造を Fig. 1 に模式的に示す。

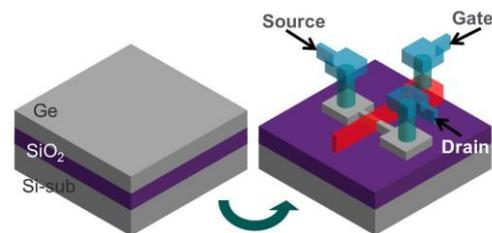


Fig. 1 Schematic images of GOI chip and Ge surrounding gate transistor

3. 結果と考察 (Results and Discussion)

プロセス条件最適化の一例として、ワイヤ形成のための Ge エッチング後の断面 SEM 像を Fig. 2 に示す。CF₄ のみでのエッチングではサイドエッチングによるボーイング形状が見られるが、CHF₃ を 1:1 で混入することにより矩形の構造が得られる。

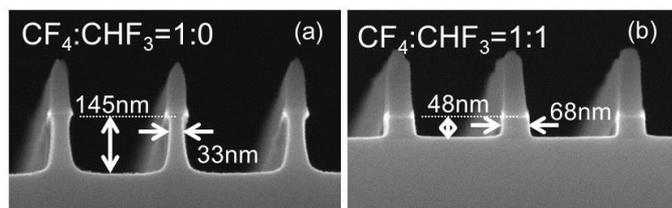


Fig. 2 X-sectional SEM images of Ge after etch

4. その他・特記事項 (Others)

本課題を実施するに当たり、NIMS 微細加工 PF の大里啓孝様、渡辺英一郎様にご協力いただきました。ここに感謝の意を表します。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。