

課題番号 : F-15-NM-0037
利用形態 : 機器利用
利用課題名 (日本語) : n⁺Ge/pGe ダイオード構造試料の作製及び評価
Program Title (English) : Fabrication and evaluation of n⁺Ge/pGe diode sample
利用者名 (日本語) : 中村 源志
Username (English) : Genji Nakamura
所属名 (日本語) : 東京エレクトロン株式会社
Affiliation (English) : Tokyo Electron Limited

1. 概要 (Summary)

電子・正孔ともに高い移動度を有するゲルマニウム (Ge)は、シリコン (Si)チャネルに代わる高移動度チャネル材料として期待されている。Ge チャネルを採用した MOSFET (Metal Oxide Semiconductor Field Effect Transistor) で優れたトランジスタ特性を実現するには、ソース/ドレイン領域に良好な PN 接合形成が必要である。

本年度は、NIMS 微細加工プラットフォームの装置を利用し、n⁺Ge/pGe ダイオード構造試料を作成し、PN 接合リーク特性評価を行った。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ 全自動スパッタ装置
- ・ 多目的ドライエッチング装置
- ・ プラズマ CVD 装置

【実験方法】

p 型 Ge 基板上にプラズマ CVD 装置にて SiO₂ 膜を堆積した後、高速マスクレス露光装置を使用しフォトレジストマスクパターン形成した。次に、バッファードフッ酸処理を行うことで、レジストマスクで被覆されていない領域の SiO₂ を除去し、素子分離パターンを形成した。その後、リンのイオン注入及び活性化アニールを実施することで、SiO₂ が除去された領域に n⁺Ge を形成。そして、再度プラズマ CVD 装置にて SiO₂ 膜を堆積してからフォトレジストマスクパターン形成を行った後、バッファードフッ酸で SiO₂ エッチングを行うことで n⁺Ge 領域へのコンタクトホールを形成。その後、Wet 洗浄にて n⁺Ge 表面の自然酸化膜除去した後、全自動スパッタ装置にて Ti(5nm)、TiN(5nm)そして W(50nm)を連続で成膜した。最後に、W 上にフォトレジストマスクパターン形成した後、多目的ドライエッチング装置にて W/TiN/Ti のエッチングを行い、メ

タルコンタクト配線パターンを形成した。このようにして作成した n⁺Ge/pGe ダイオード構造試料の I-V 測定を室温にて行い、PN 接合リーク特性評価を行った。

3. 結果と考察 (Results and Discussion)

Fig.1 に、n⁺Ge/pGe 接合面積が 10000μm² のパターンで実施した I-V 測定結果を示す。3 カ所のパターンで測定し、電流値のバラツキは少ないことを確認できた。また、マイナス 1V での順方向電流値とプラス 1V の逆方向電流値の比は 7,000~9,000 で、整流特性を確認した。

今後は、更なる逆方向電流の低減に向け、活性化アニール等のプロセス依存性について検討を進める予定である。

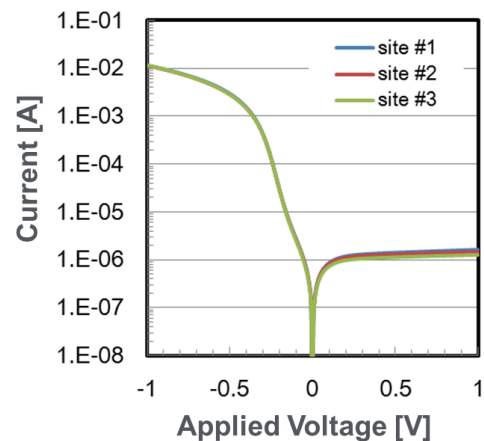


Fig. 1. I-V characteristics of n⁺Ge/pGe diodes.

4. その他・特記事項 (Others)

試料作製にあたり、NIMS 微細加工プラットフォームの渡辺英一郎様、大里啓孝様、谷川俊太郎様から技術支援を頂きましたことを深く感謝いたします。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。