

課題番号 : F-15-NM-0013
利用形態 : 技術代行
利用課題名 (日本語) : 二次元物質 BiS₂ の FET 構造の形成
Program Title (English) : Fabrication of FET structure based on BiS₂ 2-dimensional material
利用者名 (日本語) : 川江 健
Username (English) : T. Kawae
所属名 (日本語) : 金沢大学理工学域
Affiliation (English) : College of Science and Engineering, Kanazawa University

1. 概要 (Summary)

厚さ数層の LaO_{0.7}F_{0.3}BiS₂ に対して Ni 微小電極パターンを作製し、SiO₂ をゲート絶縁膜としたバックゲート型電界効果トランジスタ (FET) 構造を形成した。同試料に対し、電界印可による FET 特性を検証した。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 125kV 電子ビーム描画装置
- ・ 12 連電子銃型蒸着装置

【実験方法】

位置情報を予めマーキングした SiO₂/Si 基板表面に LaO_{0.7}F_{0.3}BiS₂ をバルク体から剥離転写した。転写した薄片試料に対して、FE-SEM 観察により転写試料の位置データを決定し、微小電極パターンを CAD 設計した。その後、EB 描画および Ni 蒸着・リフトオフを用いて、Ni 微小電極パターンをソース・ドレインとする構造を形成した。

以上のプロセスにて作製した試料に対し、SiO₂ をゲート絶縁膜とした FET 特性を検証した。

3. 結果と考察 (Results and Discussion)

Fig.1 に作製された試料の FE-SEM 像を示す。約 2 × 10 μm² 角の薄片試料に対し、約 500nm 間隔の複数の Ni 微小電極パターンを形成した。

試料の I_{DS}-V_{DS} 特性を Fig.2 に示す。V_g に対して I_{DS} が明瞭に増加し、n チャネル型 FET 特性が観測された。しかしながら、変調効率は 1 桁程度と小さく、十分な電界効果・FET 動作を確認するには至っていない。また、オン電流も小さく、Ni 電極に対する良好なオーミック接触が得られていないことが示唆される。観測された FET 特性に対し、チャンネル材料のキャリア濃度が高いため見かけ上の変調効率が低下したことが考えられ、よりキャリア濃度を抑制した半導体材料をチャンネルとして選定することが求めら

れる。また、絶縁膜を現在の SiO₂ から、より多くのキャリア誘起・変調が期待される強誘電体 (VDF-TrFE 超薄膜など) へ変更した強誘電性 FET 構造とすることも有用と考えられる。

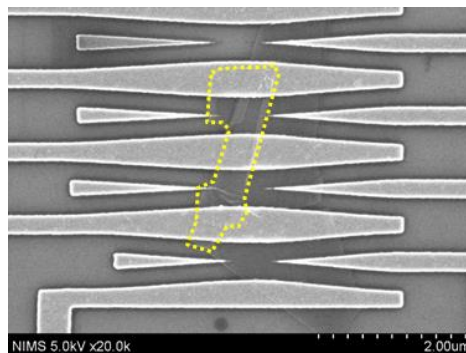


Fig. 1 FE-SEM image of LaO_{0.7}F_{0.3}BiS₂ specimen with Ni electrodes.

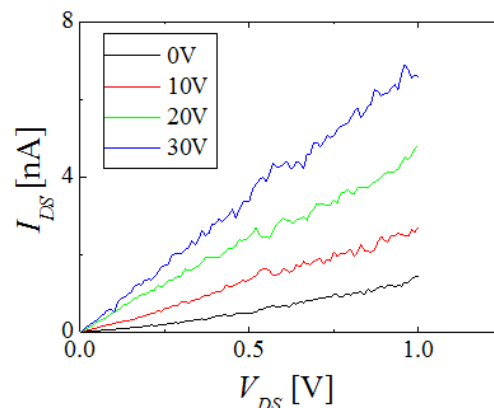


Fig.2 I_{DS}-V_{DS} characteristics of back gate FET structure based on LaO_{0.7}F_{0.3}BiS₂

4. その他・特記事項 (Others)

共同研究者：石井聡 (東京電機大学)

技術支援者：渡辺英一郎、津谷大樹 (NIMS)

5. 論文・学会発表 (Publication/Presentation)

なし

6. 関連特許 (Patent)

なし