

課題番号 : F-15-NM-0009  
利用形態 : 技術補助  
利用課題名 (日本語) : 低次元物質を用いた単電子トランジスタの開発用基板の作製  
Program Title (English) : Fabrication of substrates for single-electron transistor using low-dimensional materials  
利用者名 (日本語) : 小林 峰  
Username (English) : Takane Kobayashi  
所属名 (日本語) : 国立研究開発法人 理化学研究所  
Affiliation (English) : RIKEN (The Institute of Physical and Chemical Research)

## 1. 概要 (Summary)

本課題は 2 つのハンマー型電極をハンマーの持ち手側で対局させた電極組(5 組/チップ)を持つ SiO<sub>2</sub>/Si 基板を作製することである。なお、電極はアライメントマーカーに対して対称的であるべきものである。ハンマーの槌部分の大きさは0.5mm 角の電極パッド、持ち手部分の対局する部分のギャップは 1 μ m である。

現在行っている研究の最終的な目的は、本課題で作製された基板を用い“低次元物質を用いた単電子トランジスタを作製する”ことである。

## 2. 実験 (Experimental)

### 【利用した主な装置】

- ・ プラズマアッシャー
- ・ 高速マスクレス露光装置
- ・ 12 連電子銃蒸着装置
- ・ ダイシングソー

### 【実験方法】

- (1) SiO<sub>2</sub>/Si 基板をプラズマアッシャーにより基板上に存在するハイドロカーボン等を除去・清浄化。
- (2) 清浄化された基板上にスピンドーターにより、LOR5A 及び AZ5214E のレジスト作製。
- (3) レジストを塗布された基板を高速マスクレス露光装置で露光。その後、AZ300MIF で現像。
- (4) 現像された基板に 12 連電子銃蒸着装置で Ti:20nm、Au: 50nm を蒸着。
- (5) 蒸着済み基板を NMP によりリフトオフ。
- (6) リフトオフされた基板に HMDS 及び AZP4620(保護膜)を塗布後、ダイシングソーでカット、最終的に保護膜剥離により、低次元物質を用いた単電子トランジスタの

開発用基板の作製。

## 3. 結果と考察 (Results and Discussion)

現在、Fig.1 のように作製した基板上の電極間にナノワイヤの作製を行っている。

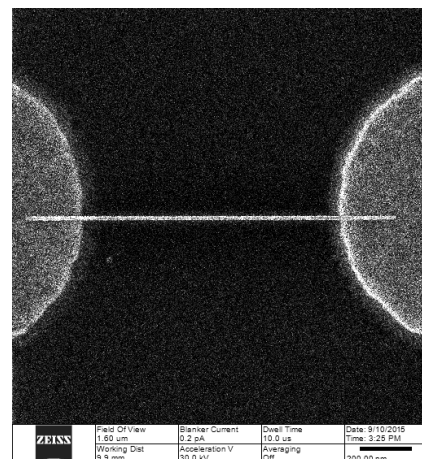


Fig. 1 Pt nanowire fabricated by ion beam-induced deposition

## 4. その他・特記事項 (Others)

イオンビーム誘起デポジションは NIMS 微細構造解析プラットフォーム等で行った。

技術支援者名

谷川 俊太郎氏、津谷 大樹氏

## 5. 論文・学会発表 (Publication/Presentation)

なし。

## 6. 関連特許 (Patent)

なし。