

課題番号 : F-15-KT-0123
 利用形態 : 技術補助
 利用課題名(日本語) : 寸法効果を利用したサブミクロンギャップ垂直櫛歯型 SOI 加速度センサアレイ
 Program Title (English) : Sub-micron-gap z-axis SOI capacitive accelerometer array with vertical comb electrodes
 利用者名(日本語) : 田渕 友樹, 土屋 智由
 Username (English) : T. Tabuchi, T. Tsuchiya
 所属名(日本語) : 京都大学大学院工学研究科マイクロエンジニアリング専攻
 Affiliation (English) : Dep. of Micro Engineering, Grad. School of Engineering, Kyoto University

1. 概要(Summary)

本研究では、スケールダウンとアレイ化による静電容量型加速度センサの高感度化手法の垂直方向検出加速度センサへの適用可能性検証のため、100 μm 角センサの10 \times 10 アレイの作製を試みた。

2. 実験(Experimental)

【利用した主な装置】

- ・大面積超高精度電子線描画装置(A15)
- ・深堀りドライエッチング装置(B8-2)

【実験方法】

プロセスフローを Fig.1 に示す. はじめに A15 大面積超高精度電子線描画装置を用いて SOI ウェハ上にレジストをパターンニングした(レジストは NEB22A2(原液)を使用). 次に Cr マスクをリフトオフにより形成し, A15 によりそのマスク上にレジストをアライメント露光・パターンニングし, 2 層マスク構造を形成した. また, B8-2 深堀りドライエッチング装置で Si を 2 回エッチングし, サブミクロンスケールのギャップをもった段差構造の形成を試みた.

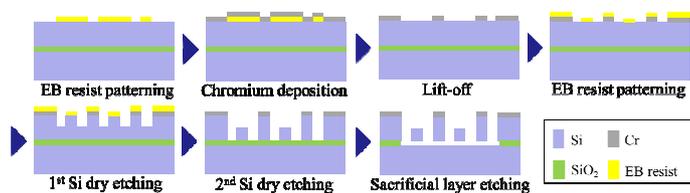


Fig. 1 Fabrication flow.

3. 結果と考察(Results and Discussion)

Fig.2 に示すように, 最小幅が 300 nm のレジストパターンを作成できた. Cr マスク上にアライメント露光したレジストパターンはアライメント誤差が約 50 nm となった. また

Fig.3 に示すように, 今回の実験では高さが低い方の段差がすべてエッチングされてしまい, 所望の段差構造を形成することができなかった. 段差構造を形成するためには, 2 回行うエッチングについてそれぞれ適切なサイクル数を設定する必要があり, 今後検討を進める.

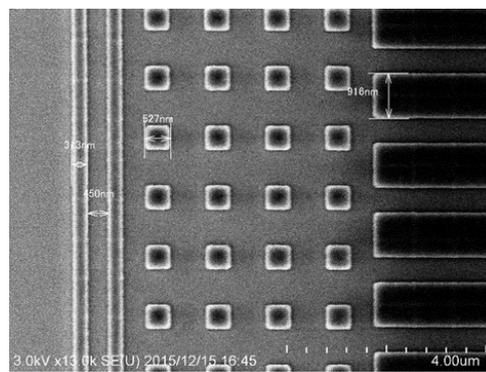


Fig. 2 FESEM image of patterned resist

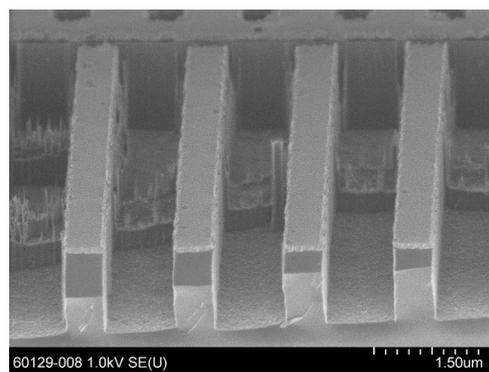


Fig. 3 D-RIE process using double layer mask

4. その他・特記事項(Others)

なし.

5. 論文・学会発表(Publication/Presentation)

なし.

6. 関連特許(Patent)

なし.