

課題番号 : F-15-KT-0106
 利用形態 : 技術補助
 利用課題名(日本語) : 高集積化可能な強誘電体メモリー素子の作成
 Program Title (English) : Fabrication of ferroelectric capacitor for higher integrated memory application
 利用者名(日本語) : 天野泰河、鈴木 聡一郎、高田 瑤子、齊藤 文靖
 Username (English) : T. Amano, S. Suzuki, Y. Takada, T. Saito
 所属名(日本語) : 大阪府立大学大学院工学研究科 物質・化学系専攻 化学工学分野
 Affiliation (English) : Dept. of Chemical Engineering, Osaka Prefecture University

1. 概要 (Summary)

強誘電体メモリーや MEMS など圧電デバイスの多くには $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT)がよく利用されるが、強誘電性や劣化耐性の向上などの用途に合わせた PZT のドーピングが非常に重要である。また、強誘電性は強誘電体の結晶性や配向面により影響されることが知られており、配向面の制御が重要である。本研究では(111)または(100)優先配向 Pt 基板上に CSD 法により La、Nb、Y の 3 種類のドーパントを用いた PZT 薄膜を作製し、それぞれの配向性と電気特性の関係を調べた。

2. 実験 (Experimental)

・利用した主な装置

多元スパッタ装置、インピーダンスアナライザ

・実験方法

(111)優先配向スパッタ Pt 基板を下部電極に用いて、CSD 法により La、Nb、Y をドーパントとした PZT ($\text{Pb}:\text{Zr}:\text{Ti}:\text{La}, \text{Nb}, \text{or Y} = 113:30:70:3$)膜及びドーパントを含まない PZT 膜を作製した。スパッタ法により直径 $200 \mu\text{m}$ の Pt 上部電極を形成し、キャパシタを作製した。また、 $\text{MgO}(100)$ 基板上にスパッタ法を用いて(100)優先配向 Pt 下部電極を作製し、キャパシタ作製を同様に行った。膜の配向性と表面形態はそれぞれ XRD と FE-SEM で評価した。強誘電体キャパシタの分極-電圧(P-V)特性を強誘電体評価装置で測定した。

3. 結果と考察 (Results and Discussion)

Pt(111)と Pt(100)下部電極を用いた強誘電体キャパシタの P-V ヒステリシスループをそれぞれ Fig. 1(a), (b)に示す。Pt(111)上ではドーパントを含まないものが最大の残留分極値を示した。ドーピングされた PZT キャパシタにおいても良好な残留分極値や抗電圧を示したが、Y ドープでは PZT のような長方形に近い形

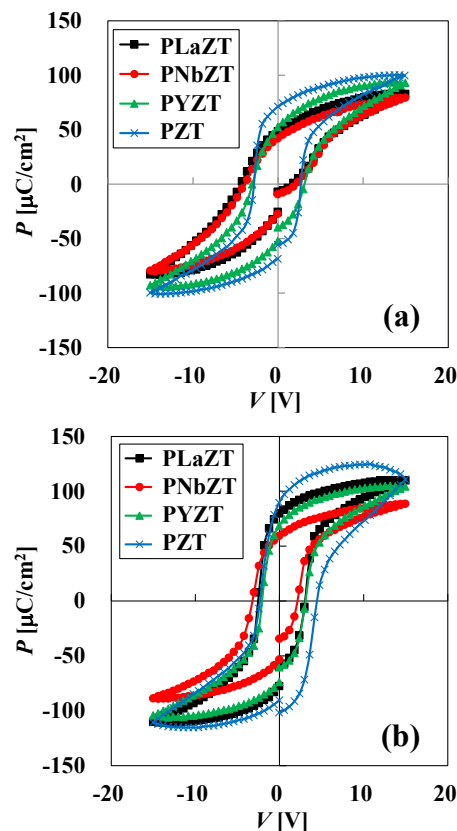


Fig. 1 P - V hysteresis loops of ferroelectric capacitors with (a) Pt(111) and (b) Pt(100) bottom electrode.

状であった。La、Nb ドープでは、負の電圧方向にヒステリシスループがシフトしていることが確認された。Pt(100)上では、Pt(111)の場合と比べて強誘電性が向上した。ヒステリシスループはすべてにおいて長方形的であり、残留分極値が 2 倍以上に増加した。

4. その他・特記事項 (Others)

なし。

5. 論文・学会発表 (Publication/Presentation)

(1) 天野泰河ら, 化学工学会 第 81 年会 ZCA214, 平成 28 年 3 月 14 日。

6. 関連特許 (Patent)

なし。