

課題番号 : F-15-KT-0097
利用形態 : 機器利用
利用課題名(日本語) : ひずみゲージ集積型単結晶シリコンマイクロ構造の並列引張疲労試験
Program Title (English) : Tensile-mode fatigue testing of silicon micro structure with integrated strain gauge
利用者名(日本語) : 上杉 晃生, 土屋 智由
Username (English) : A. Uesugi, T. Tsuchiya
所属名(日本語) : 京都大学 工学研究科 マイクロエンジニアリング専攻
Affiliation (English) : Department of Micro Engineering, Kyoto University

1. 概要(Summary)

本研究では単結晶シリコンマイクロ構造の引張疲労破壊特性を短時間で測定する方法を開発しており、ひずみゲージの集積化による測定系の高剛性化と、試験チップ上へ試験片を複数配置することによる測定の並列化を組み合わせた測定方法を提案している。

提案手法では 7 mm×15 mm の大きな試験チップ上に試験片を並べるため、1 枚のウエハから十分な数の試験チップを得るためには 6 インチウエハを用いた加工が望ましく、京都大学ナノテクノロジーハブ拠点の設備を利用して微細加工を行った。

2. 実験(Experimental)

【利用した主な装置】

電子線蒸着装置
両面マスクアライナー
深堀りドライエッチング装置
シリコン酸化膜犠牲層ドライエッチングシステム
レーザダイシング装置

【実験方法】

6 インチ SOI(Silicon-on-insulator)ウエハに対して、アルミニウム膜を成膜し、UV リソグラフィを用いてウェットエッチングにより試験チップ上の配線と電極のパターンを作製する。次に、UV リソグラフィと深堀りドライエッチングを用いてウエハの表裏両面からシリコン層のエッチングを行い、その後埋め込み酸化膜層の気相エッチングを行う。最後にレーザダイシング装置を用いてウエハをチップ化する。

3. 結果と考察(Results and Discussion)

長さ 100 μm 幅 2.5 μm 厚さ 22 μm の 5 本の梁で構成

されるひずみゲージを集積させた試験チップを作製した(Fig.1)。ひずみゲージの近傍には同一形状のゲージを集積してブリッジ回路を構成した。引張試験時には高い S/N 比を持つブリッジ出力が得られ、提案手法がマイクロ構造の引張試験に有効であることを明らかにした。

今後、より高い計測精度を実現するために試験チップの改良を行い、疲労試験を 100 Hz 以上の繰返し負荷周波数を用いて実施する予定である。

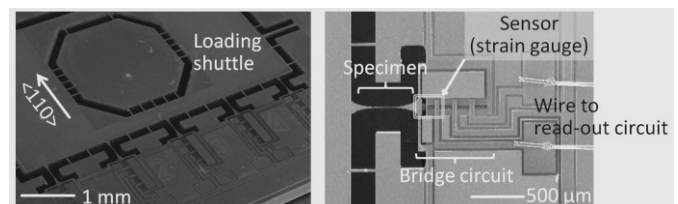


Fig. 1 Schematics of fabricated testing chip.
Left: Over view of fabricated testing chip.
Right: Integrated specimen and sensor.

4. その他・特記事項(Others)

参考文献; (1) 上杉晃生, 平井義和, 土屋智由, 田畑修, “ひずみゲージ集積型単結晶シリコンマイクロ構造の並列引張疲労試験”, 日本機械学会 2015 年度年次大会, 2015 年 9 月. (2) A. Uesugi, Y. Hirai, T. Tsuchiya, O. Tabata, “Parallel Tensile-Mode Fatigue Testing of Silicon Microstructures with Integrated Piezoresistive Strain Sensors”, 28th International Microprocesses and Nanotechnology Conference (MNC 2015), November 2015.

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。