

課題番号 : F-15-KT-0094
 利用形態 : 機器利用
 利用課題名(日本語) : 80 μm 角センサの 10 \times 10 アレイを用いた SOI 静電容量型加速度センサ
 Program Title (English) : SOI capacitive accelerometer using 10 \times 10 arrayed sensors of 80 μm \times 80 μm
 利用者名(日本語) : 松井 祐樹, 土屋 智由
 Username (English) : Y. Matsui, T. Tsuchiya
 所属名(日本語) : 京都大学大学院工学研究科マイクロエンジニアリング専攻
 Affiliation (English) : Department of Micro Engineering, Kyoto University

1. 概要(Summary)

本研究ではスケール効果とアレイ化による静電容量型加速度センサの高感度化を提案し、従来の 1/10 サイズである 80 μm 角のセンサの 10 \times 10 アレイ作製した。この際、500 nm の電極ギャップと 300 nm の幅の支持梁を有する Si の構造を、深さ 5 μm で作製した。

2. 実験(Experimental)

【利用した主な装置】

- ・大面積超高精度電子線描画装置(装置 No:A15)
- ・深堀りドライエッチング装置(装置 No:B8-2)

【実験方法】

プロセスフローを Fig.1 に示す。はじめに大面積超高精度電子線描画装置を用いて SOI ウエハ上にレジストをパターニングした。レジストは NEB22A(原液)を使用し、ドーズは 24 $\mu\text{C}/\text{cm}^2$ とした。パターニング後 Cr マスクをリフトオフにより形成し、深堀りドライエッチング装置で Si をエッチングした。レシピは低スキャロプスの標準レシピを用い、250 サイクル繰り返しした。エッチングレートは約 20 nm/cycle である。

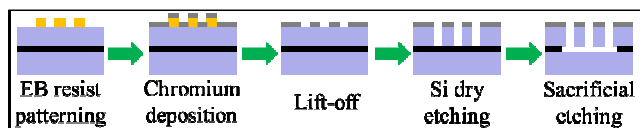


Fig. 1 Fabrication flow.

3. 結果と考察(Results and Discussion)

パターニングされたレジストを Fig.2 に示す。また、Si をエッチングした後のユニットセンサと、電極及び支持梁の断面を Fig.3 に示す。図 2 に示すとおり、500 nm の電極ギャップをパターニングできた。誤差は最大でも 20 nm 程度であった。また、Fig.3 より、500 nm の電極ギャップと 300 nm 幅の支持梁を有する構造を、深さ 5 μm で作製できたことがわかる。

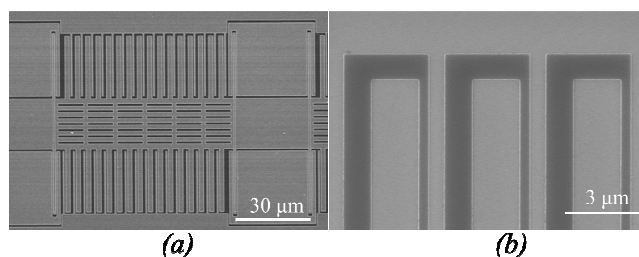


Fig. 2 SEM images of patterned resist: (a) unit accelerometer, (b) enlarged view of electrodes.

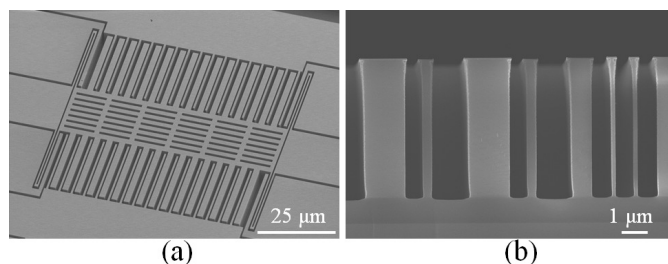


Fig. 3 SEM images of the accelerometer: (a) bird's eye view of unit accelerometer, (b) cross section of spring and electrodes.

4. その他・特記事項(Others)

参考文献; (1) Y. Matsui, Y. Hirai, T. Tsuchiya, and O. Tabata, "A sub-micron-gap SOI capacitive accelerometer array utilizing size effect", The 18th International Conference on Solid-State Sensors Actuators and Microsystems, Anchorage, 2015. (2) 松井 祐樹, 平井 義和, 土屋 智由, 田畑 修, 「サブミクロンギャップを有する SOI 静電容量型加速度センサアレイ」, 第 32 回センサ・マイクロマシンと応用システムシンポジウム, 平成 27 年 10 月 28 日.

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。