

課題番号 : F-15-HK-0020  
利用形態 : 技術代行  
利用課題名(日本語) : マイクロ電気化学分析デバイスのための金薄膜微小電極の作製  
Program Title (English) : Fabrication of gold thin film electrodes for electrochemical analysis on microchip  
利用者名(日本語) : 深町勝樹<sup>1)</sup>, 藤井大地<sup>1)</sup>, 西山慶音<sup>2)</sup>, 石田晃彦<sup>3)</sup>  
Username (English) : K. Fukamachi<sup>1)</sup>, D. Fujii<sup>1)</sup>, K. Nishiyama<sup>2)</sup>, A. Ishida<sup>3)</sup>  
所属名(日本語) : 1) 北海道大学工学部、2) 北海道大学大学院総合化学院、1) 北海道大学大学院工学  
研究院  
Affiliation (English) : 1) School of Eng., Hokkaido University, 2) Graduate School of Chemical Sciences  
and Engineering, Hokkaido University 3) Faculty of Engineering, Hokkaido  
University

### 1. 概要(Summary)

目的物質を電気化学的に検出するための微小金電極をプラスチック基板に搭載した安価なマイクロチップデバイスを開発するため、基板への金薄膜形成を北海道大学微細加工プラットフォームにおいて行った。その際、真空蒸着装置を用いてポリスチレンチップに金を直接蒸着し、薄膜は基板に十分な強度接着していることを確認した。

### 2. 実験(Experimental)

#### 【利用した主な装置】

EB 加熱・抵抗加熱真空蒸着装置

#### 【実験方法】

微細加工プラットフォームにおいて、ポリスチレン基板をホルダーに固定し、EB 加熱により約 0.3 nm/s で金を約 100 nm 蒸着した。

### 3. 結果と考察(Results and Discussion)

同時に2枚のポリスチレン基板(48×48×1.7 mm)への蒸着を試みた(Fig. 1)。蒸着後の基板を目視観察した限りでは、基板への蒸着源の加熱の影響は認められず、いずれの基板も均一な膜が形成されていることを確認した。また、薄膜の剥離も見られず、薄膜と基板の間の接着は、以降の電極としての使用において十分な強度であることを確認した。

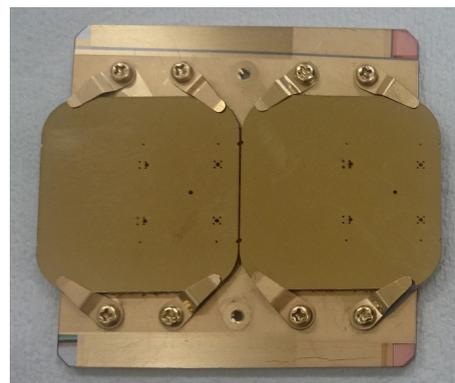


Fig. 1 Photograph of gold films formed on polystyrene substrates by EB vacuum evaporation technique.

### 4. その他・特記事項(Others)

蒸着作業を代行していただきましたアグス・スバギョ博士研究員に感謝いたします。

### 5. 論文・学会発表(Publication/Presentation)

なし

### 6. 関連特許(Patent)

なし