

課題番号 : F-15-FA-0027
利用形態 : 機器利用
利用課題名(日本語) : 高効率インバータ用シリコンパワーダイオードの高速化
Program Title (English) : Fast switching of Silicon power diode for high efficiency inverters
利用者名(日本語) : 附田正則
Username (English) : M. Tsukuda
所属名(日本語) : アジア成長研究所
Affiliation (English) : Asian Growth Research Institute

1. 概要(Summary)

パワー半導体素子の高速動作化を目指し、新構造デバイスの基本構造のシミュレーション検討を行う。シミュレーションへの入力構造は、本試作で得られた構造を反映する。シミュレーション検討の結果、パワー半導体の高速動作化が可能であることが明らかになった。

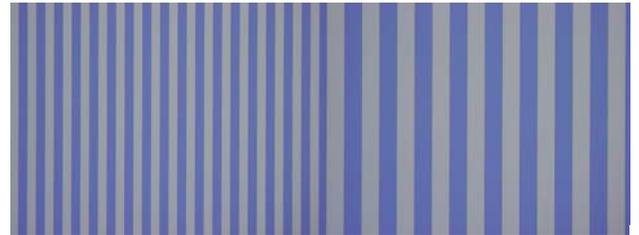


Fig. 3 SiO₂ L/S=20um Fig. 4 SiO₂ L/S=40um

2. 実験(Experimental)

【利用した主な装置】

ドラフトチャンバー, スピンコーター, ホットプレート,
マスクアライナー

【実験方法】

酸化膜およびアルミ膜でそれぞれ4種類の L/S を作製し(Fig.1~Fig.4)、それをマスクとして基本構造を開発する。基本構造作製中にマスクの剥がれや選択比低下によるマスク材の消滅が発生しない条件(マスク材・厚み)を見出す。

3. 結果と考察(Results and Discussion)

L/S が 5,10,20,40um のマスクを作製し基本構造を作製した結果、酸化膜とアルミ膜ともにマスク材として十分機能することが分かった。今後は半導体の汚染物質として働かない酸化膜での試作を優先して進める。

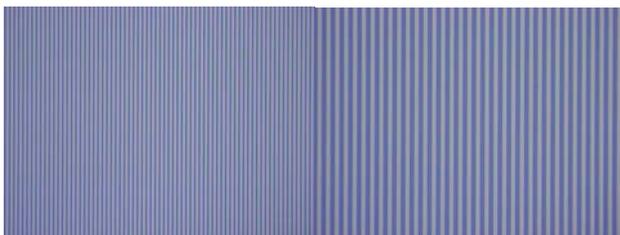


Fig. 1 SiO₂ L/S=5um Fig. 2 SiO₂ L/S=10um

4. その他・特記事項(Others)

研究成果最適展開支援プログラム(A-STEP)を利用した開発

5. 論文・学会発表(Publication/Presentation)

今年6月開催の「The 28th IEEE International Symposium on Power Semiconductor Devices and ICs (ISPSD)」で採択済み(プレゼンテーション発表予定)

6. 関連特許(Patent)

(1)Ichiro Omura and Akio Nakagawa, Japanese Patent, No. 3950105, 2007.

(2)Ichiro Omura and Akio Nakagawa, Japanese Patent, No. 3959125, 2007.