

課題番号 : F-15-BA-05  
 利用形態 : 機器利用  
 利用課題名(日本語) : 半導体ナノデバイスの降伏(スナップバック)領域における電流電圧の挙動解析と最適デバイスの動作条件及び構造の検討  
 Program Title (English) : Optimization of ESD device structure and gate/well bias conditions under ESD stress  
 利用者名(日本語) : 石塚裕康  
 Username (English) : H. Ishizuka  
 所属名(日本語) : 筑波大学大学院数理物質科学研究科  
 Affiliation (English) : Graduate School of Pure and Applied Science, University of Tsukuba

## 1. 概要 (Summary)

半導体ナノデバイス ESD 素子の最適化を図るため、トランジスタ素子の降伏(スナップバック)領域における電流・電圧の挙動が、トランジスタのゲート電圧、ウェル電圧によってどのように変化するか、2D-TCAD シミュレーターを用いて解析を行った。

## 2. 実験 (Experimental)

### 【利用した主な装置】

デバイスシミュレータ

### 【実験方法】

プロセスシミュレータ・デバイスシミュレーターを用い、デバイス TEG による実測データと比較できるように実際の ESD 素子に準じたトランジスタ構造及びトランジスタ特性の合わせこみを行う (Fig.1 参照)。

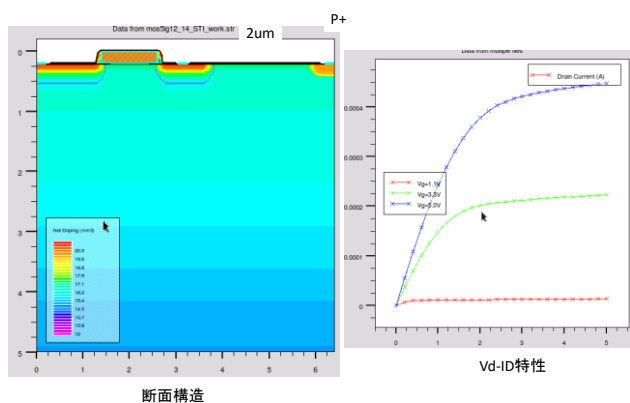


Figure 1 Schematic of the device cross section and simulated device characteristics.

その後、ESD ストレス時におけるトランジスタの放電特性(スナップバック特性)をシミュレートし、動作電圧(VT1)や電圧クランプ特性(Vh)が、トランジスタのゲート電位や Well 電位によってどのように

変化するか確認する。

## 3. 結果と考察 (Results and Discussion)

例として、Pwell 厚 1.5um、ソースと基板給電との距離が 2um のトランジスタ構造において、スナップバック特性がゲート電位と well 電位によってどのように変化するかを Fig. 2 に示す。

この結果からトランジスタのスナップバックの挙動について、1) 動作電圧 (VT1) はゲート電位で決まり低電圧で動作 (VT1) させるためにはゲート電位を高くすることが必要である、2) ホールド電圧 (Vh) はゲート電圧に依存し、内部回路にダメージを加えかねないホールド電圧を低く保つためには、ゲート電位を低く抑える必要があることが分かった。

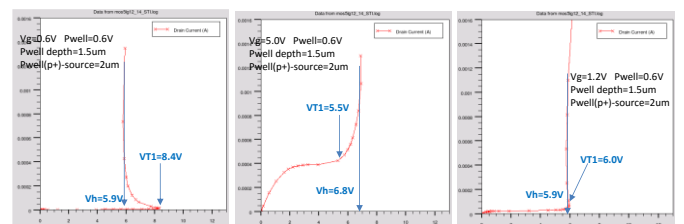


Figure 2 Dependence of device characteristics on gate and well voltages.

## 4. その他・特記事項 (Others)

本研究に関して、SILVACO の技術者から多大なサポートを頂いており、感謝いたします。

## 5. 論文・学会発表 (Publication/Presentation)

なし。

## 6. 関連特許 (Patent)

なし。