

課題番号 : F-15-AT-0111
 利用形態 : 技術代行
 利用課題名(日本語) : 電極構造の作製(4)
 Program Title (English) : Development of Electrode Structure (4)
 利用者名(日本語) : 香西 昌平, 今井 快多
 Username (English) : S. Kousai, K. Imai
 所属名(日本語) : 株式会社東芝
 Affiliation (English) : Toshiba Corp.

1. 概要(Summary)

これまでの支援において Pt 電極プロセスを確立していただき、きれいな電極構造を得ることができた。しかしながら、電極とその淵を覆う SiN の隙間に電解液が入り込んでしまうことがわかった。材料同士の密着性があまり高くない可能性があるため、カバレッジ量を変えたデザインを用意した。なお、今回はプロセスの開発が完了したため、マスクレスではなく i 線用マスクを作成し、露光装置を用いて試作をお願いした。

2. 実験(Experimental)

・利用した主な装置

i 線露光装置、アルゴンミリング装置、スパッタ装置、RIE 装置

・実験方法

開発いただいたプロセスフローは以下の通り。

- Ti ハードマスク/Pt/Ti ストップ層成膜
- レジストマスク作製
- Ti ハードマスクへの転写(RIE)
- レジストリムーブ
- Pt 加工(Ar ミリング)

3. 結果と考察(Results and Discussion)

Fig. 1 に電極構造の断面図を示す。Pt1 層と SiN について、十分な密着性を得るにはどの程度のカバレッジ量 (Cov2: Fig. 1) が必要かを実験するために、Table 1 に示すように Pt1 カバレッジ幅 Cov2 を変えたサンプルを用意した。

Table 1. Dimensions of the electrode. Coverage of SiN on Pt1 is varied to verify the required coverage.

Pt電極版(本番TEG)							
開口部 Wop	Pt1 Wpt1	Pt2 Wpt2	Cu Wcu	Pt1露出幅 Cov1	Pt1カバー幅 Cov2	Pt1 カバー率	
1	1.6	0.4	3.6	0.3	0.3	50%	
4	6	2	8	1	1	50%	
10	15	5	17	2.5	2.5	50%	
20	30	10	32	5	5	50%	

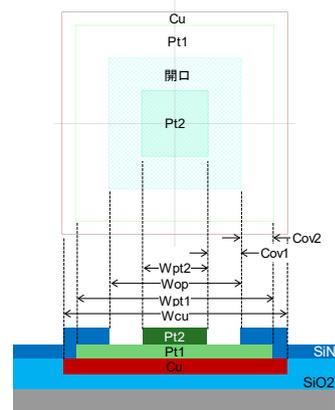


Fig. 1. Cross sectional view of the electrode structure. Coverage of SiN on Pt1 (Cov1) is the parameter of interest.

Fig. 2 に試作をお願いしたチップの全体図を示す。i 線露光装置に合わせたマークも搭載した。

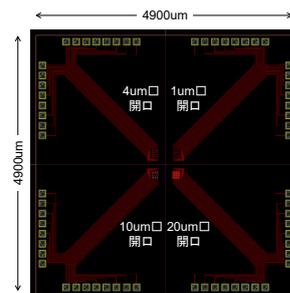


Fig. 2. Layout of the entire chip. Electrodes are located at the center of the chip.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。