

課題番号 : F-15-AT-0107
利用形態 : 機器利用
利用課題名(日本語) : ポリイミド付 Si 基板の研磨
Program Title (English) : Polishing of the Si substrate with polyimide
利用者名(日本語) : 崎田弘信、栗野祐二
Username (English) : H. Sakita、Y. Awano
所属名(日本語) : 慶應義塾大学 理工学部 電子工学科
Affiliation (English) : Department of Electronics and Electrical Engineering, Keio University

1. 概要(Summary)

近年重要度が増しているモノリシックマイクロ波集積回路のチップの面積は、受動素子が多くの部分を占めている。従ってチップの小型化には受動素子を小型化するのが効果的である。慶應大学栗野研究室は、特に受動素子の一種であるインダクタを小型化するために、カーボンナノチューブ(CNT)バンプを用いた新しいマイクロストリップライン構造を提案している。

本研究はこの新構造インダクタをCNTバンプではなくSiバンプを用いて実際に作製し、その原理実証を行うことである。そして作製プロセス中の研磨工程のために、産業技術総合研究所NPFの施設を利用し実験を行った。

2. 実験(Experimental)

【利用した主な装置】CMP、研磨機、FE-SEM

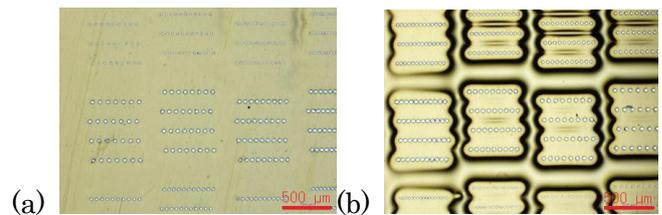
【実験方法】SOI基板からMEMS技術によってSiピラーをエッチング加工し、ピラーをポリイミド樹脂で含浸させたサンプルを用意した。実験は、Siピラー上に乗ったポリイミドをCMP除去し、全てのSiピラー先端を露出させた。その後、平坦になったSiピラー上に、制御した膜厚でポリイミド塗布しAu/Cr膜を堆積した。次に、サンプルを上下反転し、基板であるSiO₂/Siを全て研磨除去した。

3. 結果と考察(Results and Discussion)

CMPを利用し、ポリイミド塗布Siチップの表面研磨を行った。研磨剤はコロイダルシリカを用い、0.05~0.06 MPaの圧力で、50 rpmの回転速度で90分間のCMPを行ったところ、Siピラーが露出した(Fig. 1)。しかし同一条件で実験を繰り返しても、その再現性は良くなかったため、毎回、観察とCMPを交互に繰り返し行いながら進める必要があった。例えばFig. 1にはサンプル全体の含浸ポリイミドが平坦化された場合(a)とSiピラー周辺の含浸ポリイミドのみが平坦化された場合(b)がある。どちらの場合も素子機能は発現するものと思われるが、Siピラーの高さが違う(aはbに比べてピラーが低い)ため、インダクタの大きさも異なる

と考えられる。

Fig. 2は、研磨機を利用しSiO₂/Si基板の研磨を行った結果を示す。回転速度400 rpm、90分間でおおよそ基板全ての研磨除去ができた。しかしながら、Fig. 2から分かるように、サンプルの端部の研磨速度が速いため端部が欠落した。さらにサンプルによっては、バラバラに破損するなど、この工程の歩留りは低く、条件の見直しもしくは用いる装置の見直しが必要である。



Figs. 1 Optical microscope images of sample surface after the polyimide CMP (50 rpm/90 min) .

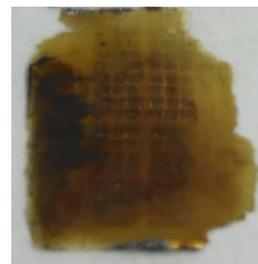


Fig. 2 Optical microscope images of a sample after the SiO₂/Si polishing (400 rpm/90 min).

4. その他・特記事項(Others)

ご指導頂いた産業技術総合研究所(NPF)支援スタッフの方々に深謝します。特に佐藤平道氏には、実験を進めるにあたり、多くのご助言やご指導を頂きました。重ねて感謝申し上げます。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。