

課題番号 : F-15-AT-0016
 利用形態 : 機器利用
 利用課題名(日本語) : 次世代 LSI 向け成膜プロセス評価用 MOS キャパシタ試作
 Program Title (English) : Fabrication of MOS capacitor to evaluate a thin film
 利用者名(日本語) : 小川 有人, 北村 匡史, 清野 篤郎, 芦原 洋司, 竹林 雄二
 Username (English) : A. Ogawa, M. Kitamura, A. Seino, H. Ashihara, Y. Takebayashi
 所属名(日本語) : 株式会社 日立国際電気
 Affiliation (English) : Hitachi Kokusai Electric Inc

1. 概要(Summary)

Si LSI における MOSFET において、ゲート電極の仕事関数は閾値電圧を決定する要因の一つであり、重要なパラメータである。現在の最先端 Si-LSI においては High-k/Metal Gate を用いた MOSFET が主流であるが、High-k/Metal Gate を用いた MOS 構造では様々な要因にて閾値電圧が変動するため^{1,2)}、閾値電圧を抽出するための MOS キャパシタの作製には変動要因を考慮した上で行う必要がある。過去、我々は産総研 NPF 設備を利用し、Sputter-TiN/WF metal/High-k/SiO₂/Si 基板構造の MOS キャパシタの試作を行ったが、プローバーの針と Sputter-TiN の接触が不安定であったため、Sputter-TiN 上に Al を形成する事を検討した。

2. 実験(Experimental)

【利用した主な装置】

スパッタ装置、スピコータ、マスクレス露光装置、反応性イオンエッチング装置、アッシャー

【実験方法】

WF metal/High-k/SiO₂/Si 基板を有するサンプルにスパッタ装置にて TiN および Al を成膜し、スピコータにてレジストを塗布した後、マスクレス露光装置/現像液(NMD-3)を用いてゲート電極パターンを転写し、反応性イオンエッチング装置を用いて TiN 電極の加工を行った。その後、アッシャーにてレジストを除去し、Sputter-Al/Sputter-TiN/WF metal/High-k/SiO₂/Si 基板を有する MOS キャパシタの作製を行った。なお、Al の加工は、現像液にて行った。

3. 結果と考察(Results and Discussion)

High-k/Metal Gate を有する MOS キャパシタの作成を行った(Fig. 1)。Fig. 2 に得られた MOS キャパシタの CV 特性を示す。過去の試作では Sputter-TiN/WF

metal/High-k/SiO₂/Si 基板構造の MOS キャパシタであったが、その際はプローバーの針の押し込み具合によりコンタクト取れないときもあったが、Al を最上部に形成することにより、そのような不具合は改善された。今後はスパッタ膜の成膜条件最適化などが必要であると考えている。

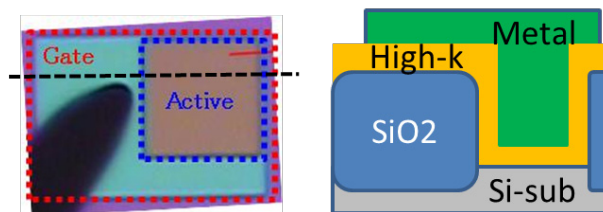


Fig. 1 Image of MOS capacitor.

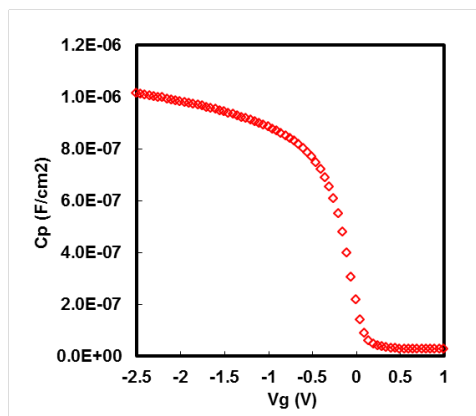


Fig. 2 CV curve.

4. その他・特記事項(Others)

・参考文献

- 1) K. Akiyama et al., VLSI Symp. Tech. Dig., p80(2008)
- 2) T. Ando et al., VLSI Symp. Tech. Dig., p44(2014)

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。