

課題番号 : F-15-AT-0006
利用形態 : 機器利用
利用課題名(日本語) : 薄膜の分析
Program Title(English) : Observation of thin films include PZT layer.
利用者名(日本語) : 三上由佳利
Username(English) : Yukari Mikami
所属名(日本語) : 株式会社ユーテック
Affiliation(English) : Youtec, Co., Ltd.

1. 概要(Summary)

PZT (Pb(Zr,Ti)O₃) 圧電膜は、圧電効果を発揮する機能性薄膜であり、スマートフォン用のセンサーやアクチュエータ、インクジェットプリンタ等の多くの MEMS デバイスに利用されている。PZT 圧電体膜の成膜方法のひとつとして、スパッタリング法が一般的に用いられている。PZT のような絶縁体のターゲットをスパッタリングするとターゲット上に徐々に電荷がたまり、その溜まった電荷がアーク放電を引き起こし、ターゲットが破損するという問題がある。成膜レートを上げるためには、入力電力を高くしなくてはならないが、入力電力を高く取れば、アーク放電は発生しやすくなる。ターゲットが破損してしまうと、使用することができなくなるため、入力電力を十分に上げることができない。これにより、成膜レートを高くすることができないという問題があった。

我々は、高周波の連続波を使用してスパッタリングすることで、ターゲット上が帯電しやすくなるという点に着目し、高周波電力をパルスで供給することにより、表面の帯電量を極力減らしながら成膜する方法を適用した。パルススパッタリング法で成膜された PZT 膜を FIB-SEM 複合装置(以下、FIB-SEM とする。)を用いて断面加工観察した。

2. 実験(Experimental)

【利用した主な装置】

FIB-SEM 複合装置 (エスアイアイ・ナノテクノロジー株式会社・XVistion200DB)

【実験方法】

基板の上に成膜したパルススパッタリング PZT 膜を FIB-SEM にて確認する。

3. 結果と考察(Results and Discussion)

まず、スパッタリング装置を用いて、基板に PZT 膜を成

膜する。高周波電力をパルスで供給することにより、アーク放電を抑制しながら、高電力での成膜が可能であることを確認した。パルススパッタリング成膜の条件及びその詳細に関しては特許公開前の為、開示不可とする。ここでの基板は、Si 基板上に下部電極 Pt 膜を含む積層膜を形成したものをを用いた。Fig. 1 には高周波電力をパルスで供給しながら成膜した PZT 膜の FIB-SEM 断面加工観察画像を示す。Fig. 1 より、PZT 膜は 9.99 μm 成膜されていることが確認できる(チルト補正值)。一般的に 10 μm 近い PZT 膜をスパッタリング法により成膜することは非常に難しくと言われている。今回の結果は、弊社独自の技術により成しえたものと考えている。尚、弊社では、この後、同様の方法を用いて 20 μm 近い PZT 膜の成膜にも成功している。

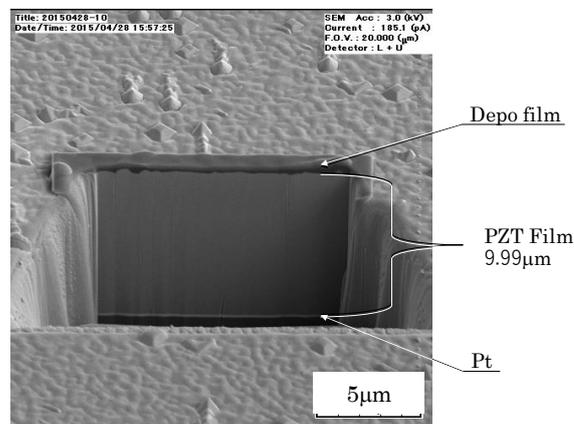


Fig. 1 Cross section of pulse sputtering PZT film.

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

(1) 特許出願済み

