

利用課題番号 : F-14-WS-0013
 利用形態 : 共同研究
 利用課題名 (日本語) : SiC JFET のソース電極、ゲート電極の Au めっき
 Program Title (English) : Optimal Au-plating condition on the Al electrodes of SiC JFET
 利用者名 (日本語) : 岡村勝也
 Username (English) : K.Okamura
 所属名 (日本語) : 高エネルギー加速器研究機構
 Affiliation (English) : High Energy Accelerator Research Organisation

1. 概要 (Summary) :

SiC JFET のソース電極とゲート電極はアルミ太線ボンディングをすることが主流であり、アルミ電極が採用されている。パワーモジュールの高性能化を図るために Ag ナノ粒子ペーストを使用したフリップチップボンディングを採用することにしているが、アルミ電極には接合しないためにアルミ電極上に Au、Ag などのメタライズをする必要がある。ウェーハ状態ではフォトリソグラフィ、蒸着の手段が使えるが、チップでは難しいためメッキによる選択メタライズを行うことにし、接合性確保の条件出しをする。

2. 実験 (Experimental) :

SiC JFET の外観は Fig. 1 に示すものであり、ソース電極とゲート電極のみに選択的に Au をメタライズする必要がある。一般的にはアルミ電極にジンケート処理を行って Ni、Au の無電解メッキが行われる。しかし Ag ナノ粒子ペーストは Ni に対して接合しないことが分かっており、Au の厚さが重要となる。無電解メッキでは Au の厚さの制御が難しいため、チップ裏面のトケレイン電極をめっき電極とした電解メッキを行うことにした。また局所的な Ni の露出を避けるために Ni メタライズは行わずに Ag/Au メタライズ構成を採用した。メタライズした SiC JFET の外観を示す。

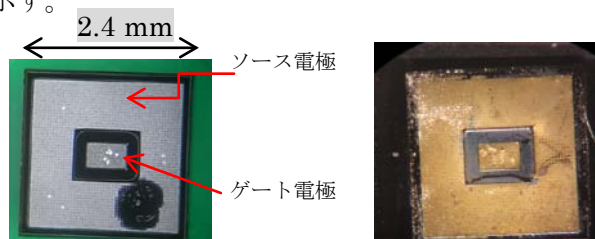


Fig. 1 Photograph images for the samples.

3. 結果と考察 (Results and Discussion) :

Ag ナノ粒子ペーストをソース電極、あるいはゲート電極に塗布し、Au メッキされた金属基板に接合し、

ダイシエア試験を行った。なお Ag ナノ粒子ペーストの接合性は予めドレイン電極 (Ni/Ag 構成) で行っており、約 40MPa の接合強度の得られている接合(Ag

ゲート電極のダイシエア試験



Fig. 2 Optical microscope image after the test of share examination.

焼結)条件を使用している。

ダイシエア試験した時の様子を Fig. 2 に示す。接合強度は約 20MPa であり、不良モードはめっき電極剥がれである。接合性としては問題の無い結果である。

4. その他・特記事項 (Others) :

チップを個別にメッキ処理するため、メッキ皮膜の外観にバラツキが見られる。このバラツキが接合性のバラツキをもたらすかどうかは注意を要する。

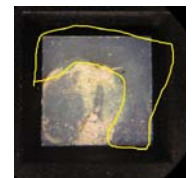


Fig. 3 Optical microscope image of the sample. またチップ裏面にメッキ電極を採るために Ag ペーストを使用した。メッキが終了した後は有機溶剤で剥離したが、Fig. 3 の写真に示すようにメッキの不要析出、変色、染みが多く見られた。これは想定外であった。

5. 論文・学会発表 (Publication/Presentation) :

(1) K. Okamura, M. Wake, K. Takayama, and Y. Yamada, "Development of High Power and Low Inductance SiC-JFET Power Module for High Repetition Rate Pulsed Power", 5th Euro-Asia Pulsed Power Conference, Sep. 8-12, 2014.

6. 関連特許 (Patent)

なし。