課題番号 : F-14-UT-0059

利用形態:機器利用

利用課題名(日本語) :イオン注入機を利用したシリコン基板への BF2 打ち込みとその電気評価

Program Title (English): P and BF₂ ion implantation to Si substrate and evaluation of the electric

characteristics

利用者名(日本語) :関口亮太, 尾内敏彦

Username (English): Ryota Sekiguchi, Toshihiko Ouchi所属名(日本語): キヤノン株式会社・総合 R&D 本部

Affiliation (English) : Canon Inc.

1. 概要(Summary)

東京大学 VDEC の公開装置を利用して、シリコン 半導体中に不純物拡散領域を作製した。具体的にはイ オン注入機を用いて、シリコン表面からの深さ数十~ 数百ナノメートルまでの領域に N 型不純物拡散領域、 P 型不純物拡散領域を形成した。

2. 実験(Experimental)

キヤノン株式会社では、シリコンを用いた半導体素子の研究を行っている。当該半導体素子において導電性の制御は一つの課題であり、その解決手段としてイオン注入技術がある。ナノテクノロジープラットフォーム VDEC 拠点を通じて今年度から利用させていただいている東大鳥海研究室の固体ソースイオン注入機 IBX-3500 (ULVAC 社製) は、30-200 keV までの加速電圧を利用した P、B や BF_2 などのイオンを打ち込むことが出来る。

本検討では N、P型の領域形成をそれぞれ次の手順で行った。実験に用いた基板は東大拠点の公開装置 (ステルスダイサー)を用いて準備した。

A) シリコン表面から深さ約 300 nm までの N 型の領域を作製するため、P を 130 keV の加速電圧でドーズ量が 1×10^{14} cm⁻² となるように打ち込んだ。打ち込み時間は 10 分程であった。事前のモンテカルロシミュレーションでは、 $n=4\times10^{18}$ cm⁻³ の前後が導入できると予想されている。

B) シリコン表面から深さ約 $100~\rm nm$ までの P 型の領域を作製するため、 BF_2 を $50~\rm keV$ の加速電圧でドーズ量が $2\times10^{14}~\rm cm^{-2}$ となるように打ち込んだ。打ち込み時間は $25~\rm 分程であった。事前のモンテカルロシミュレーションでは、<math>p=1\times10^{19}~\rm cm^{-3}$ 前後が導入できると予想されている。

用いたシリコン基板の比抵抗はおよそ $10 k \Omega cm$ で

ある。 基板は入射角が 7° 傾斜のステージに固定した。 3. 結果と考察 (Results and Discussion)

シリコン基板表面において 4 探針法による電気評価を行った。結果はそれぞれ次のようである。

A)P 打ち込みによる n型の領域のシート抵抗は 400Ω / \square であった。深さ約 300 nm の均一層として換算すると比抵抗は $0.012 \Omega cm$ である。Fig. 1 の関係を利用して、 $n = 3.4 \times 10^{18} cm^{-3}$ と見積もることが出来た。

B)BF₂打ち込みによる P型の領域のシート抵抗は 820 Ω/\Box であった。深さ約 $100~\rm nm$ の均一層として換算すると比抵抗は $0.0082~\Omega cm$ である。同様にして、p=1-2 $\times 10^{19}~\rm cm^{-2}$ と見積もることが出来た。

電気評価によると予定通りに N、P型の領域形成が 出来たものと考えられる。

4. その他・特記事項(Others)

機器利用の技術補助を頂いた、東京大学技術職員の西村氏(東京大学鳥海研)に感謝申し上げます。

5. 論文・学会発表(Publication/Presentation) なし

<u>6. 関連特許(Patent)</u>

なし

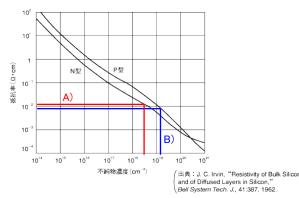


Fig. 1: The relation between the resistivity and impurity concentrations of the silicon and test results.