

課題番号 : F-14-UT-0027  
利用形態 : 機器利用  
利用課題名(日本語) : 半導体材料評価用のトランジスタ素子の開発  
Program Title (English) : Development of transistor for evaluation of semiconductor materials  
利用者名(日本語) : 海上暁、西村麻美、笠見雅司  
Username (English) : Akira Kaijo, Mami Nishimura, Masashi Kasami  
所属名(日本語) : 出光興産株式会社 電子材料部 無機材料開発グループ  
Affiliation (English) : Inorganic Materials Development Group, Electronic Materials Department, Idemitsu Kosan Co., Ltd.

## 1. 概要(Summary)

出光興産では、透明電極材料 IZO®をはじめ電子材料の開発を行い、近年では新しい半導体材料の開発を行っている。半導体材料の開発では、トランジスタ素子による電気的特性や信頼性など種々の特性を評価することで、材料の性能を見極め、材料設計にフィードバックする過程が重要である。このため、トランジスタ素子の作製技術は材料評価において必要不可欠であると考え、実施した。

東京大学のナノテクノロジープラットフォーム拠点(1)素子作製に関する最新の装置が常に調整された状態で利用可能なこと、(2)高速な電子線描画装置によるフォトマスク描画技術によって、新しい評価用素子の設計から試作までを短期間で行うことができること、(3)リソグラフィやエッチングをはじめとする素子作製に関する専門の知識/技術を有するスタッフによる技術サポートを受けることができる点がメリットとしてあげられる。その結果、評価素子の開発サイクルを短縮することが可能となった。

企業としては設備投資の負担を低減し、かつ専門のスタッフの技術支援を得ながら短期間で素子の開発検討が可能である点が非常に大きなメリットである。また導入教育を受けることで世界最高クラスの設備を有する武田先端知スーパークリーンルームを自由に利用することができる制度も利用のしやすさにつながっている。

## 2. 実験(Experimental)

標準的な Etching Stopper (ES) 型のトランジスタ素子を作製した。高ドーパの熱酸化膜付 Si 基板上に、半導体層をスパッタリングにより成膜した。その後、CVD 装置により SiO<sub>2</sub> の ES 層を成膜し、アニール処理を実施しました。次に汎用 ICP エッチング装置(ICP-RIE)を利用して、コンタクトホールを形成した。スパッタリングによりソース・ドレイン電極(Ti)を成膜し、パターニングすることでトランジスタ素子を完成させた。パターニングにはフォトリソグラフィ

ーを使用し、その際に必要なフォトマスクは高速大面積電子線描画装置を用いて作製した。

作製したトランジスタ素子の構成を Fig. 1 に示す。

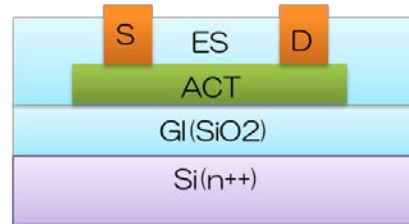


Fig. 1 Schematic of the transistor

## 3. 結果と考察(Results and Discussion)

トランジスタ素子の動作確認を行ったところ、移動度 = 10 cm<sup>2</sup> / Vs、V<sub>th</sub> = 1.0 V、S 値 = 0.26 V / dec、ロット内の素子間のバラツキも少なく、良好な素子性能を確認した。この素子の信頼性評価のために Negative Bias Temperature Stress (NBTS) 試験を実施した。ゲート電圧は-30 Vを印加し、温度は 60 °C、3300 秒の条件下での V<sub>th</sub> のシフト量を評価した。その結果を Fig. 2 に示す。NBTS 試験の結果、V<sub>th</sub> はほとんど変化せず、V<sub>th</sub> シフトが 0.2 V という高い安定性を確認することができた。

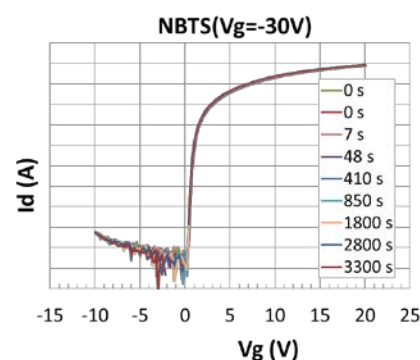


Fig. 2 Reliability of NBTS test.

## 4. その他・特記事項(Others)

今後は、ソース・ドレイン電極のプロセス変更、素子の微細化、素子性能の向上に向けた改良を予定している。平行して、高信頼性を含めた、高性能なトランジスタ素子を実現する新材料開発へのフィードバックを図る。