

課題番号 : F-14-TU-0089  
 利用形態 : 機器利用  
 利用課題名(日本語) : シリコン基板への EB リソグラフィ  
 Program Title (English) : EB lithography for silicon substrate  
 利用者名(日本語) : 阿波寄 実  
 Username (English) : M. Abasaki  
 所属名(日本語) : 富士電機 株式会社  
 Affiliation (English) : Fuji electric, Co., Ltd.

**1. 概要(Summary)**

近年、光学/電子デバイスの分野でナノオーダーの構造が注目されて来ている。今回我々は Si(100)基板上にレジストのパターニングを実施し形状の確認を実施したので報告する。

**2. 実験(Experimental)**

EB 描画装置、アッシング装置、電子顕微鏡

□18 mm のシリコン基板に電子線レジスト ZEP520A を塗布し、レジスト塗布後のシリコン基板に電子線描画装置で露光パターニングを行った。露光後の基板を現像しパターンサイズ等の形状確認を実施した。実験条件を Table 1 に記載する。

**3. 結果と考察(Results and Discussion)**

レジストの現像を実施した基板を SEM 観察した結果を Fig. 1 に示す。今回実施した 130 nm~310 nm のパターンサイズにおいてパターニングが可能である。

パターンの設計値及び仕上り値をまとめた結果を Fig. 2 に示す。設計値に対して線形に推移し、パターンの変換差は 15 nm から 47 nm の値を取った。

**4. その他・特記事項(Others)**

なし。

**5. 論文・学会発表(Publication/Presentation)**

なし。

**6. 関連特許(Patent)**

なし。

Table 1 Experiment condition.

Process		Condition
Resist coat	Method	Spin coating
	Resist	ZEP520A
	number of rotations	4000rpm
	Time	60s
Prebake	Temperature	180 degrees C
	Time	180sec
EB lithography	Design pattern size	160nm~310nm
	Accelerating voltage	130kV
	Dot map	60,000dot
	Drawing area	150µm
	Doze	175 µC/cm <sup>2</sup>
	Current	1 × 10 <sup>-10</sup> A
Develop	Material	O-xylene
	Time	90s

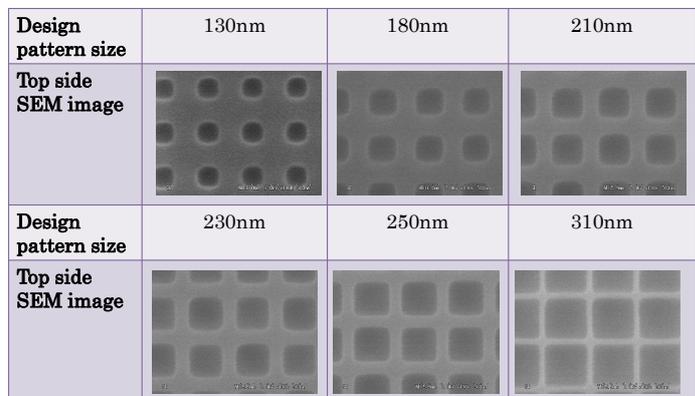


Fig. 1 Resist observation result.

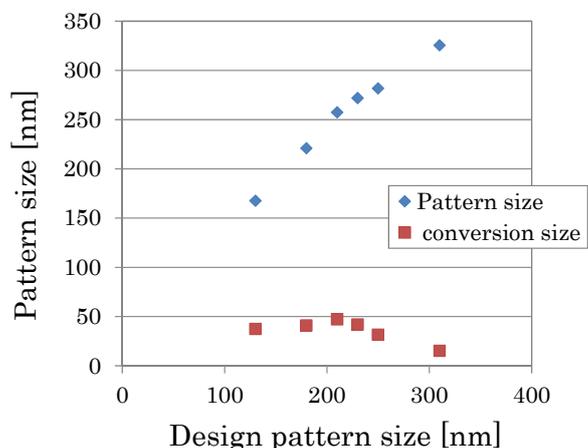


Fig. 2 Resist pattern size result.