

課題番号 : F-14-TU-0075
利用形態 : 機器利用
利用課題名(日本語) : 紫外線発光素子の光取出し効率の改善
Program Title (English) : Improvement of light extraction efficiency from Deep UV device.
利用者名(日本語) : 大橋 隆宏, 鳥羽 隆一
Username (English) : T. Oohashi, R. Toba
所属名(日本語) : 東北大学大学院環境科学研究科
Affiliation (English) : Graduate School of Environmental Studies, Tohoku University

1. 概要(Summary)

シリコン基板の均一な厚さを利用した高精度平面電極を作製するため、シリコン基板面上に作製した Ni のメッシュ構造を残し、DeepRIE による深掘りで 400 μm の基板を掘り抜いた。開口部は直径 12 mm と、広範囲での深掘りになったがブラックシリコンの生成を抑えてのエッチングが可能であった(Fig. 1)。

2. 実験(Experimental)

Si 表面に Ni スパッタ面を形成、そこにレジストで作製したメッシュパターンに従いスパッタ面上にメッキを行い、シリコン基板上に網状の電極を形成する。両面アライナーにより、裏面に DeepRIE 用レジストパターンを作成し、それに従いシリコンのドライエッチングを行った。

裏側からシリコン基板を抜き取り、シリコン厚み分の均一な高さを持った電極を作製した。

利用した装置

- ・スパッタ: 芝浦メカトロニクス CFS-4ESII
- ・両面アライナー: Suss MA6/BA6
- ・Deep RIE: 住友精密 MUC-21

3. 結果と考察(Results and Discussion)

Si 基板の広い範囲で、12 mm の円状に、400 μm の厚みを掘り抜くことに成功した(Fig. 2)。深掘り速度、基板の冷却状態を制御することによりブラックシリコンの生成を抑え、Ni スパッタ面でエッチストップするまで PMER レジスト膜にて耐えることを確認できた。

4. その他・特記事項(Others)

なし。

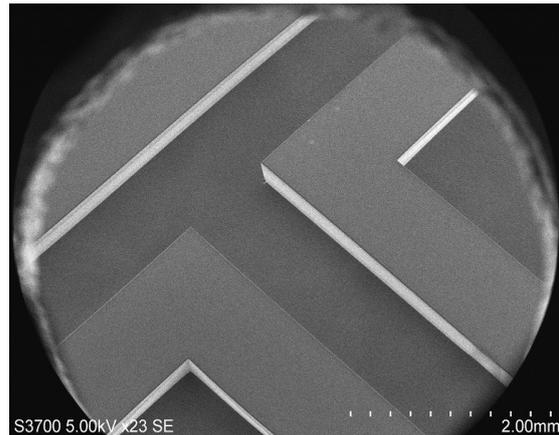


Fig. 1 SEM image of etched Si surface (300 μm depth).



Fig. 2 Etched Si wafer (4 inch) : its etching is stopped with Ni sputter membrane (400 μm depth).

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。