

課題番号 : F-14-RO-0039
 利用形態 : 技術代行
 利用課題名(日本語) : 低温 poly-Si トンネル TFT のデバイス解析に関する研究
 Program Title (English) : Evaluation of LT tunnel poly-Si TFTs
 利用者名(日本語) : 仁部翔太, 原明人
 Username (English) : S. Nibe, A. Hara
 所属名(日本語) : 東北学院大学大学院工学研究科
 Affiliation (English) : Tohoku Gakuin University.

1. 概要(Summary)

大粒径を有する poly-Si 薄膜に対してトンネル構造を適用したデバイスと、通常のトップゲート構造を有するデバイスを作製し、その性能を比較するとともに、RNBS 保有の半導体パラメータアナライザを利用した低電流領域の測定を行うことにより、トンネル poly-Si TFT の性能を把握し、問題点および改良点を考察する。

2. 実験(Experimental)

トンネル TFT のプロセスフローは、報告書 F-14-RO-0006 と同じである。イオン注入工程前まで本学で行い、BF₂およびPのイオン注入工程を広島大学ナノデバイス・バイオ融合科学研究所のイオン注入装置で行う。その後、再び本学でプロセスを流すことによりデバイスを試作した。ゲート絶縁膜としてスパッタリングで形成した HfO₂ (CET=11 nm) を利用し、CLC技術により大粒径の poly-Si 薄膜を形成している。また、通常のトップゲート構造を有する poly-Si TFT も作製した。なお、ゲートスタックはトンネルTFTと同じである。

3. 結果と考察(Results and Discussion)

Fig. 1 は、p-ch のトップゲートトンネル poly-Si TFT のトランスファ特性を測定した結果である。RNBS の測定器を利用し、低電流領域まで測定している。s値は最も小さいところで 300 mV/dec 程度である。

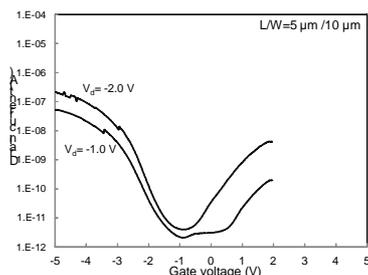


Fig. 1 Transfer characteristic of tunnel poly-Si TFT

トランスファ特性を示している。s値は 110 mV/dec を実現している。測定は本学の測定器を利用しているため、低電流領域を測定できていない。

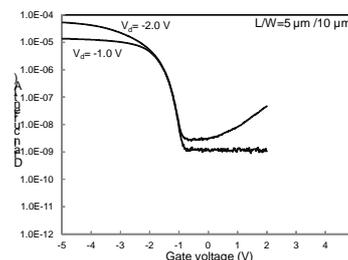


Fig. 2 Conventional poly-Si TFT

今回のトンネル poly-Si TFT においては以下の 2 つの問題があると考えている。第1の問題点は、poly-Si 薄膜が大粒径であるという点である。電流の注入は、伝導帯ミニマムと価電子帯トップの間でトンネル効果によって行われるが、両者のバンドはk空間で波数が異なり、トンネル遷移の確率が小さい。第2の点は、効率的にチャネルにキャリアを注入するためにはヘテロ接合を利用することが好ましいが、この点における工夫がないことである。

第2の問題点の解決のためには、非常に複雑なプロセスの導入が必要になるが、第1の問題点に関しては結晶粒が非常に小さい(即ち欠陥・トラップが多い) poly-Si 薄膜を使うことが、不確定性原理の観点から有利である可能性がある。今後は、この点に注目してデバイス試作を進める予定である。

4. その他・特記事項(Others)

なし。

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。

一方、Fig. 2 は通常の p-ch トップゲート poly-Si TFT の