

課題番号 : F-14-RO-0035
利用形態 : 技術補助
利用課題名(日本語) : Ge を活性層とする薄膜トランジスタの形成(リソグラフィ)
Program Title (English) : Fabrication of Ge TFT (thin film deposition)
利用者名(日本語) : 平野翔大
Username (English) : S. Hirano
所属名(日本語) : 兵庫県立大学大学院工学研究科
Affiliation (English) : University of Hyogo

1. 概要(Summary)

Ge は Si よりも移動度が高く、ディスプレイのスイッチング素子として用いられる薄膜トランジスタ(TFT)の特性向上が期待できる。本研究では Ge を活性層、ソース・ドレイン部にトンネル絶縁膜を用いた薄膜トランジスタ作製するために、Ge 膜のアイランド化を試みた。

2. 実験(Experimental)

・利用した主な装置

設計・T-CAD 用ワークステーション、マスクレス露光装置

・実験方法

設計・T-CAD 用ワークステーションを用いて、Ge アイランド($100 \times 100 \mu\text{m}^2$)を設計した。

700°Cで熱結晶化させた poly-Ge/SiO₂/Si 基板を 180°C、3min ベークし、HMDS を塗布した後、スピコートした。さらに 180°Cで 2min ベークしたのちポジレジスト(ip3300)を塗布した後、スピコートし、プリベークを 90°Cで 90s 行なった。次にマスクレス露光装置を使い、照射エネルギー150mJ/cm²で露光した後、ポスト露光ベークを 110°Cで 90s 行なった。現像液(SD-1)に 90s 浸し現像を行なった後、水洗を 1min 行なった。その後、2000rpm、4min でスピンドライを行い乾燥させ、130°Cで 2min ポストベークした。

poly-Ge のアイランド化のため、HF:H₂O₂:H₂O = 6:5:419 の水溶液でエッチングを行った。攪拌しながら 40s エッチングを行い、アッシングによりレジストを剥離した。アッシング中の O₂流量は 50sccm であり、チャンバー圧力 0.6Torr、RF パワー200W、処理時間 10min の条件でアッシングを行なった。

3. 結果と考察(Results and Discussion)

アイランド化した Ge 膜の光学写真を Fig. 1 に示す。エ

ッチング時にレジストが剥がれ、小さくなってしまった。このレジスト剥がれは保管中に Ge 酸化膜が形成され、水洗により溶解し、レジストが剥がれたと考えられる。

4. その他・特記事項(Others)

共同研究者

松尾 直人(兵庫県立大学)

部家 彰(兵庫県立大学)

5. 論文・学会発表(Publication/Presentation)

なし。

6. 関連特許(Patent)

なし。

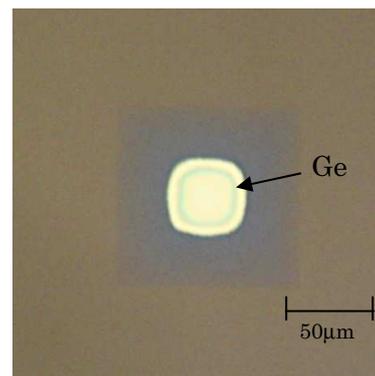


Fig. 1 Photograph of Ge island after ashing.