

課題番号 : F-14-RO-0017
 利用形態 : 技術補助
 利用課題名 (日本語) : 単電子トランジスタの作製および室温クーロン振動の測定
 Program Title (English) : Fabrication of single electron transistor and measurement of coulomb oscillation in room temperature
 利用者名 (日本語) : 中村昇平
 Username (English) : S. Nakamura
 所属名 (日本語) : 兵庫県立大学大学院 工学研究科
 Affiliation (English) : Graduate School of Engineering, University of Hyogo

1. 概要 (Summary)

Silicon On Insulator (SOI) ウェハを用いて、Fig. 1 に示すような単電子トランジスタ素子を作製し、その電気的特性を測定する。単電子トランジスタ用微細レジストラインパターン(細線幅幅 40-75nm、アイランドサイズ 75nm×50nm-125nm×80nm)の形成には、電子線描画装置を用いて行い、その後レジストをマスクとしてドライエッチングによりSi層のパターンを形成する。描画時には利用者が設計した所望のパターンも追加し、描画の確認を行う。

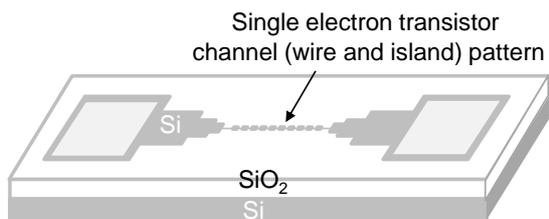


Fig. 1 Schematic structure of single electron transistor.

2. 実験 (Experimental)

まず、酸化炉を使用して、SOI ウェハの Si 層を 30nm 前後まで薄膜化する。薄膜化したウェハ上に超高精度電子線描画装置(ELS-G100)を用いて、微細レジストパターンを描画し、エッチング装置(RIE コンタクト用)にて Si 層をエッチングする。電極領域形成のためのイオン注入用保護膜 10nm を酸化炉にて形成後、電子線描画装置(ELS-G100)にて、電極領域パターンを形成し、イオン注入装置にて As イオンを注入した。酸化炉にて活性化アニールと保護膜形成を行い、マスクレス露光装置とウェットエッチングによりコンタクト領域を形成し、素子を完成させた。

その後、半導体パラメータアナライザを用いて、素子の電気的特性を測定した。

3. 結果と考察 (Results and Discussion)

単電子トランジスタ用微細レジストラインパターンと利用者所望のレジストパターン(60-100nm の凹型の孤立ラインパターン)の走査型電子顕微鏡像を Fig. 2 に示す。Fig. 2

より、所望のパターンが得られていることが確認できた。

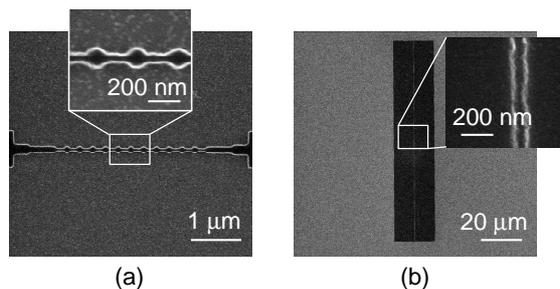


Fig. 2 Scanning electron microscope images of (a) the pattern for the single electron transistor and (b) the pattern designed by the user.

Fig. 3 は、作製した 1 つの素子についてのドレイン電圧 V_d をパラメータとした、ゲート電圧 V_g に対するドレイン電流 I_d の電気的特性を示している。ゲート電圧を増加させると 1.5V 付近でドレイン電流値が落ち始めているので、なんらかの量子効果が観察できたが、クーロン振動やクーロンダイヤモンドの確認などには、まだ至っていない。

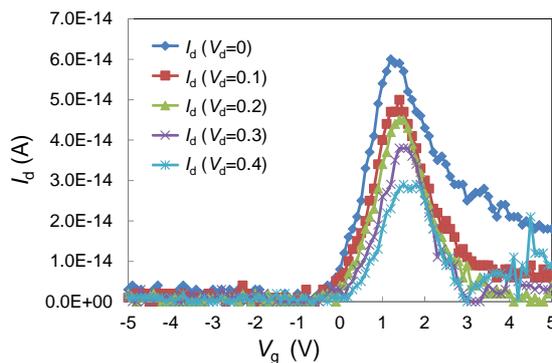


Fig. 3 Measurement result of the gate voltage dependence of drain current as the parameter of drain voltage.

4. その他・特記事項 (Others)

A. Nakajima, T. Kudo, and S. Furuse, Appl. Phys. Lett. **103**, 043702 (2013).

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。