

課題番号 : F-14-RO-0016
 利用形態 : 技術補助
 利用課題名 (日本語) : 電子ビーム描画による単電子トランジスタの作製および室温クーロン振動の測定
 Program Title (English) : Fabrication of single electron transistor by using electron beam lithography and measurement of coulomb oscillation in room temperature
 利用者名 (日本語) : 大野武雄
 Username (English) : T. Ohno
 所属名 (日本語) : 東北大学 原子分子材料科学高等研究機構
 Affiliation (English) : Advanced Institute for Materials Research, Tohoku University

1. 概要 (Summary)

ナノフォトニクス&EB実践セミナーに参加し、単電子トランジスタの作製及び室温クーロン振動の測定を実施した。単電子トランジスタのチャンネル部は極微細 Si ドットアレイで形成され、その微細パターンの描画に超高精度電子ビーム描画装置を使用した。

2. 実験 (Experimental)

厚さ 20~30 nm の Si 層を持つ絶縁膜上 Si (Si On Insulator, SOI) 基板の上に超高精度電子ビーム描画装置 (ELS-G100) を用いて幅 40~75 nm の細線を描画し、CF₄ ガスを導入したエッチング装置 (RIE コンタクト用) を用いて Si 層をエッチングして単電子トランジスタのチャンネル部を形成した。次に酸化炉で Si 表面に厚さ 10 nm のシールド酸化膜を形成し、インプラマスキリソグラフィの後、イオン注入装置による不純物注入、活性化アニールを行った。その後再び Si 表面に厚さ 5 nm の酸化膜を形成し、マスクレス露光装置によるコンタクトリソグラフィ及びバッファ弗酸による酸化膜エッチングを行って、単電子トランジスタを完成させた。試作デバイスの電気特性はマニュアルプローバと半導体パラメータアナライザを用いて行った。

3. 結果と考察 (Results and Discussion)

Fig. 1 に試作した単電子トランジスタの概念図を示す。ソース、チャンネル及びドレインは SOI で形成し、基板側からゲート電圧を印加する。作製時の酸化工程にて Si が縮小されることを考慮し、チャンネル部分は幅 40~75 nm の細線と、サイズ 75 nm×50 nm~125 nm×80 nm のドットとした。Fig. 2 に電子ビーム描画後のレジストパターンの SEM 像を示す。細線幅は 40 nm である。

Fig. 3 に、試作したデバイスのゲート電圧 (V_g)・ドレイン電流 (I_d) 特性を示す。ドレイン電圧は 0 V から 0.4 V まで 0.1 V 毎に変化させて測定を行った。ゲート電圧が 1~1.5 V 付近でクーロン振動によるものと思われるスパイク状の波形が観測された。

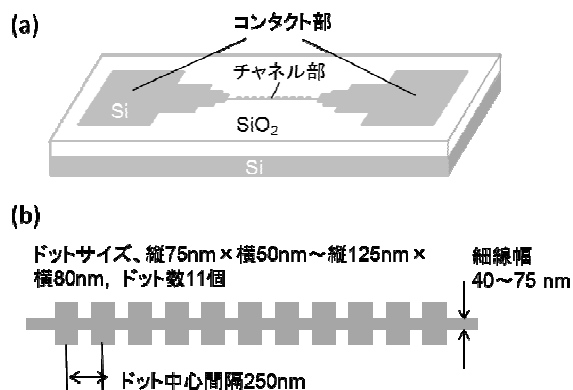


Fig. 1 (a) Schematic of single electron transistor. (b) Design of channel structure.

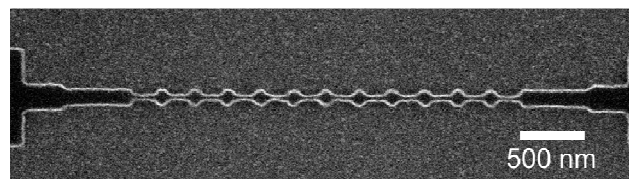


Fig. 2 SEM image of resist pattern of dot array connected by fine wire.

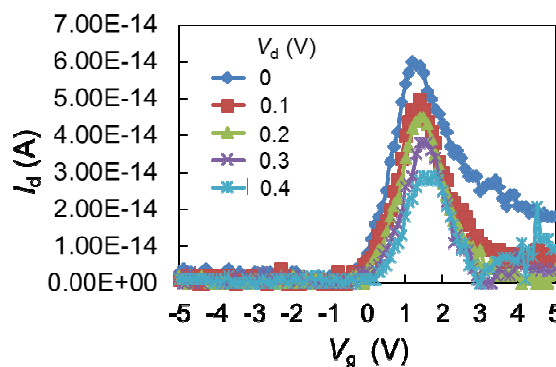


Fig. 3 Characteristics of drain current I_d vs. gate voltage V_g for fabricated single electron transistor.

4. その他・特記事項 (Others)

A. Nakajima, T. Kudo, and S. Furuse, Appl. Phys. Lett. **103**, 043702 (2013).

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。