

課題番号 : F-14-RO-0006
 利用形態 : 技術代行
 利用課題名 (日本語) : 自己整合メタルダブルゲート低温 poly-Si トンネル TFT の開発
 Program Title (English) : Self-aligned Metal Double Gate LT Poly-Si Tunnel TFT
 利用者名 (日本語) : 仁部翔太, 原明人
 Username (English) : S. Nibe, A. Hara
 所属名 (日本語) : 東北学院大学大学院工学研究科電子工学専攻
 Affiliation (English) : Tohoku Gakuin University.

1. 概要 (Summary)

LSI に使われている電界効果トランジスタ(MOSFET)の低消費電力化は限界に近付いている。その最大の原因は、MOSFET の s 値を 60 mV/dec 以下にできないため、動作電圧を下げるのが困難であるというデバイス動作の物理的な限界による。この問題を克服するため、新たな動作原理に基づいた低消費電力デバイスの研究が進められている。その一つとして、チャンネルへの電流注入に量子力学的なトンネル効果を利用した FET が注目され、現在研究開発が活発に行われている。

モバイル用のディスプレイにおいては高精細化が飛躍的に進み、TFT の高集積化による消費電力の増大が大きな問題になりつつある。Poly-Si TFT においても 60 mV/dec の壁によって電圧は支配される。従って、量子力学的なトンネル効果を利用したトランジスタ技術は poly-Si TFT においても今後重要になると予想される。

本研究は、大粒径を有する poly-Si TFT に対して、トンネル TFT 構造を適用してデバイスを作製し、その性能を把握することを目的とする。

2. 実験 (Experimental)

基本的なプロセスは東北学院大学固体デバイス実験室にて行っている。具体的なプロセスフローを以下に示す。基板は液晶用のガラスを使用している。

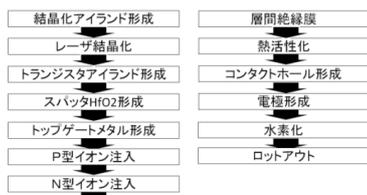


Fig. 1 Device fabrication processes

イオン注入工程前まで本学で行い、BF₂ および P のイオン注入工程を広島大学ナノデバイス・バイオ融合科学研究所のイオン注入装置で行う。その後、再び本学でプ

ロセスを流すことによりデバイスを試作した。なお、当初の計画では、最初にトップゲートの TFT のプロセスを確立し、その後ダブルゲート構造の TFT を作製する予定であったが、トップゲート TFT の作製のみを行った。作製したトップゲート poly-Si TFT の特徴は、ゲート絶縁膜としてスパッタリングで形成した HfO₂ (CET=11 nm) を利用し、CLC 技術により大粒径の poly-Si 薄膜を形成している。最高プロセス温度は 550°C である。

3. 結果と考察 (Results and Discussion)

Fig. 2 は作製したトンネル poly-Si TFT のトランスファ特性を示す。ゲート長は 5 μm である。ここでは p-ch 動作時の特性を示している。S 値は 500 mV/dec 程度と非常に悪い。

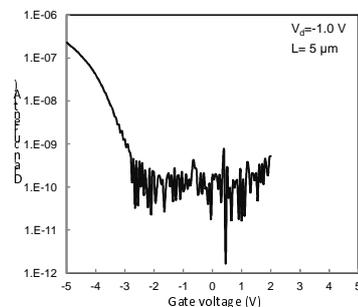


Fig. 2 Transfer characteristic of TFT

しかしながら、本研究室の測定器の性能から 1E-11 (A) 以下の電流値を検出できないこともあり、検出限界以下の電流値領域で小さい s 値を実現していることも考えられる。この点については追加の実験を行っており、別報告書として提出する。

4. その他・特記事項 (Others) なし。

5. 論文・学会発表 (Publication/Presentation) なし。

6. 関連特許 (Patent) なし。