

課題番号 : F-14-NM-0067
 利用形態 : 技術代行
 利用課題名 (日本語) : 電子線リソグラフィーによる歪 Ge 中への量子ドット形成用ゲート電極の作製
 Program Title (English) : Fabrications of gate electrodes by electron beam lithography for forming quantum dots in strained Ge
 利用者名 (日本語) : 田中 貴久
 Username (English) : T. Tanaka
 所属名 (日本語) : 慶應義塾大学大学院理工学研究科基礎理工学専攻
 Affiliation (English) : School of Fundamental Science and Technology, Keio University

1. 概要 (Summary)

歪 Ge 中の正孔量子ドットは、電子よりも大きなスピン軌道相互作用と同位体制御による長いスピンのコヒーレンス時間が期待されるため、量子情報処理に向けて注目を集めている。本課題では正孔量子ドットを歪 Ge 中に形成するためのゲート電極の作製と電気特性の評価を行った。

2. 実験 (Experimental)

【利用した主な装置】

- ・ 高速マスクレス露光装置
- ・ 125kV 電子ビーム描画装置

【実験方法】

Figs. 1(a), (b) に本課題で用いたデバイスの断面図と俯瞰図をそれぞれ示す。Fig.1(a)に示す歪 Ge/SiGe ヘテロ構造は東京都市大学にて成長し、フォトリソグラフィにより Hall-Bar 形状に加工した。このデバイスに対して、Fig.1(b)に示す位置合わせ用の十字のアライメントマークを高速マスクレス露光装置で作製した。その後、125kV 電子ビーム描画装置を用いて正孔を部分的に空乏化させるためのゲート電極を作製した。ゲート電極による正孔の空乏化を評価するため、Fig.1(b)中のゲート電極

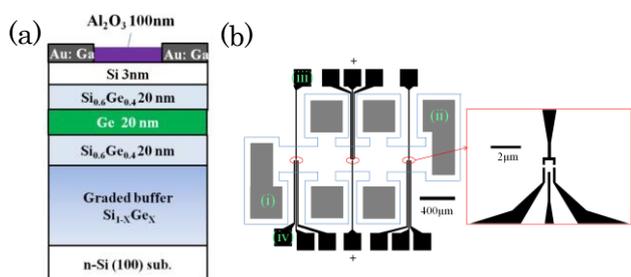


Fig.1. (a) Cross-section view and (b) top view of the device. The blue line and gray regions represent the Hall-Bar and its electrodes, respectively. Black regions represent alignment marks and gate electrodes.

(iii), (iv)にゲート電圧 V_G を印加した際の電極(i), (ii)間のドレイン電流 I_D を慶應大学にて測定した。電気測定はクライオスタットを用いて 15 K 以下の温度で実施した。

3. 結果と考察 (Results and Discussion)

原子間力顕微鏡(AFM)によるゲート電極近傍の観測結果を Fig. 2 に示す。Fig. 2 より、Fig. 1(b) の拡大図に示すようなゲート電極の作製に成功していることが確認できる。Fig. 3 に V_G 印加時の I_D の変調を示す。Fig.3 より V_G を増加させるとゲート電極直下の正孔の空乏化により I_D が減少していることが確認できる。正孔が完全に空乏化できていれば I_D は 0 まで減少することが予想されるが、Fig.3では $V_G > 5V$ で I_D の減少が飽和していることが確認できる。さらに、 $V_G > 10V$ ではヒステリシスの発生が確認できる。これらは Al_2O_3/Si 界面に界面準位が存在しているため、 V_G によるポテンシャルの変化が打ち消されているためであると考えられる。そこで、今後は界面準位を減少させる必要がある。

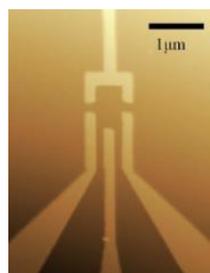


Fig.2 AFM image of gate electrodes.

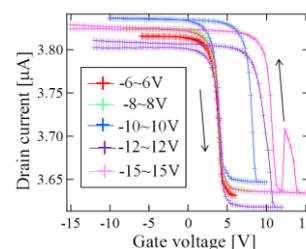


Fig.3 Drain current modulation by gate voltage.

4. その他・特記事項 (Others)

なし。

5. 論文・学会発表 (Publication/Presentation)

なし。

6. 関連特許 (Patent)

なし。